

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-87364

(43)公開日 平成8年(1996)4月2日

(51)Int.Cl. <sup>a</sup>	識別記号	序内整理番号	F I	技術表示箇所
G 0 6 F	1/26			
	1/32			
	1/04	3 0 1 C		

G 0 6 F 1/ 00 3 3 0 F  
3 3 2 Z

審査請求 未請求 請求項の数26 FD (全 27 頁) 最終頁に続く

(21)出願番号 特願平7-201318

(22)出願日 平成7年(1995)7月14日

(31)優先権主張番号 特願平6-168260

(32)優先日 平6(1994)7月20日

(33)優先権主張国 日本 (J P)

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 谷戸 英則

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

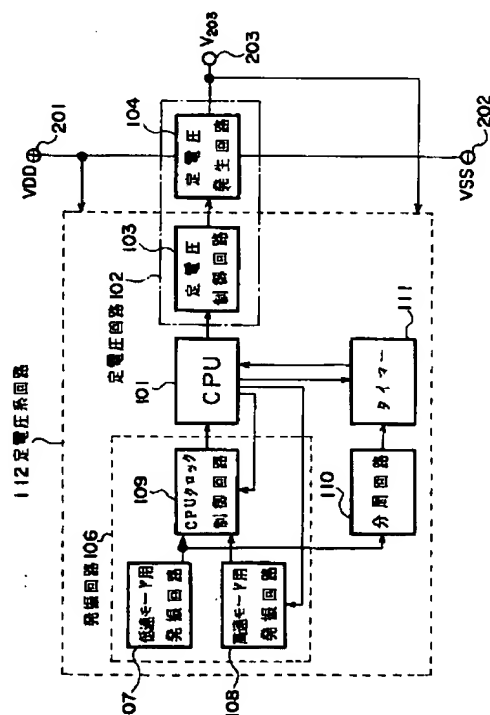
(74)代理人 弁理士 井上 一 (外2名)

(54) 【発明の名称】 半導体装置、マイクロコンピュータおよび電子機器

(57) 【要約】

【課題】 半導体装置、マイクロコンピュータおよび電子機器において、高速動作性および信頼性を維持、向上しつつ、低消費電力性を現状より高めることである。

【解決手段】 少なくとも、半導体装置内の一部の領域の電源電圧を切り換えることができる半導体装置であって、電源電圧を発生させる定電圧回路(104)は少なくとも3つのレベルの電圧を発生でき、制御手段(103)は、電源電圧の切換にあたっては、各電圧をその絶対値の大きいもの(あるいは小さいもの)から順に順次に出力させ、段階的な電源電圧の切換を実現する。したがって、例えば、電源電圧の切り換えの直後において、信号ラインの電位シフトがデジタル回路のしきい値のシフトより遅れても、データの反転は生じず、回路の誤動作が生じず、ゆえに信頼性の低下が生じない。



## 1

## 【特許請求の範囲】

【請求項 1】 少なくとも半導体装置内の一部の領域の電源電圧を切り換えることができる半導体装置であつて、

前記電源電圧を発生させる定電圧回路を具備し、この定電圧回路は、

少なくとも第 1、第 2 および第 3 の電圧値（第 1 の電圧値の絶対値は第 2 の電圧値の絶対値より小さく、第 2 の電圧値の絶対値は第 3 の電圧値の絶対値より小さいものとする）をもつ各電圧を発生する電圧発生手段と、

前記第 1 の電圧値と第 3 の電圧値との間で発生電圧の切換を行う場合に、一旦前記第 2 の電圧値を発生させ、しかる後、第 1 または第 3 の電圧値への切換を行わせ、これによって段階的な電圧の切換を実現する電圧発生手段の制御手段と、を有することを特徴とする半導体装置。

【請求項 2】 請求項 1 において、前記電圧発生手段の制御手段は、タイマー手段を利用して、段階的な電圧の切換のためのタイミング制御を行うことを特徴とする半導体装置。

【請求項 3】 請求項 1 において、前記定電圧回路における前記電圧発生手段は、前記第 1、第 2 および第 3 の電圧値を任意の値に調整するための調整手段を有していることを特徴とする半導体装置。

【請求項 4】 電源電圧として、第 1 の電源電圧およびこの第 1 の電源電圧より絶対値が小さい第 2 の電源電圧のいずれかを選択して使用できる半導体装置であつて、前記第 1 の電源電圧と、前記第 2 の電源電圧と、前記第 1 の電源電圧と第 2 の電源電圧の中間の電位の定電圧とを発生させることができる電圧発生回路と、

前記第 1 の電源電圧によつても、また前記第 2 の電源電圧によつても動作可能であり、かつ、信号伝達路によつて相互に接続された第 1 および第 2 のゲート回路と、を具備し、

前記第 1 および第 2 のゲート回路の電源電圧を、前記第 1 および第 2 の電源電圧の間で切り換える際、前記電圧発生回路は、まず、前記中間の電位の定電圧を発生させ、しかる後、前記第 1 または第 2 の電源電圧を発生させ、これによって段階的な電源電圧の切換が実現されることを特徴とする半導体装置。

【請求項 5】 請求項 4 において、前記第 1 および第 2 のゲート回路は絶縁ゲート型電界効果トランジスタ（MOSFET）により構成され、かつ、それぞれ電源電圧に依存して変化するしきい値電圧を有しており、それらのしきい値電圧の電圧値のうちの少なくとも一つは、前記第 1 または第 2 の電源電圧の電圧値に近似した値となっていることを特徴とする半導体装置。

【請求項 6】 請求項 4 において、半導体装置は、低消費電力が優先される動作モードと、高速動作または高負荷駆動が優先される動作モードとを有し、

低消費電力が優先される動作モードでは、少なくとも半

## 2

導体装置内の一部の領域における電源電圧として前記第 1 の電源電圧を用い、高速動作または高負荷駆動が優先される動作モードでは前記第 2 の電源電圧を用いることを特徴とする半導体装置。

【請求項 7】 請求項 4 において、半導体装置は、電池を用いた携帯用電子機器の制御回路を半導体チップに集積してなることを特徴とする半導体装置。

【請求項 8】 第 1 のクロックと、この第 1 のクロックより低い周波数の第 2 のクロックを出力できるクロック出力回路と、

このクロック出力回路から出力される前記第 1 のクロックまたは第 2 のクロックを用いて動作する CPU（中央処理装置）と、

第 1 の電源電圧と、この第 1 の電源電圧よりも絶対値が小さい第 2 の電源電圧と、前記第 1 の電源電圧と第 2 の電源電圧の中間の電位の定電圧とを発生させることができる電圧発生回路と、

この電圧発生回路の動作を制御する制御回路とを具備し、

前記制御回路は、CPU が前記第 1 のクロックを用いて動作する場合には、前記電圧発生回路から前記第 1 の電源電圧を発生させ、前記第 2 のクロックを用いて動作する場合には、前記電圧発生回路から前記第 2 の電源電圧を発生させ、かつ、第 1 の電源電圧と第 2 の電源電圧との間の切り換えに際しては、まず、前記中間の電位の定電圧を発生させ、しかる後、前記第 1 または第 2 の電源電圧を発生させて段階的な電源電圧の切換が行われるように前記電圧発生回路の動作を制御することを特徴とするマイクロコンピュータ。

【請求項 9】 請求項 8 において、前記制御回路は、発生させるべき電圧を指定する前記 CPU からの指示を設定するためのレジスタと、このレジスタの出力信号をデコードし、そのデコード出力を前記電圧発生回路に供給するデコーダとを有し、

また、前記電圧発生回路は、絶縁ゲート型電界効果トランジスタ（MOSFET）を用いた差動回路を具備してなる少なくとも 2 つの定電圧回路と、これらの定電圧回路の出力を入力とする少なくとも 2 つのバッファ回路とを有し、

それらのバッファ回路の少なくとも一つは入出力にオフセットを持っており、

前記定電圧回路のそれぞれから出力される電圧値が異なる定電圧を、前記バッファを介してそのまま出力させるのみならず、前記オフセットを前記定電圧に付加して出力させることにより、前記定電圧回路の数より多い数の電圧値が異なる定電圧を発生させ、その各定電圧を、前記デコーダのデコード出力に対応した電源電圧として選択的に出力するようになっていることを特徴とするマイクロコンピュータ。

【請求項 10】 請求項 8 において、前記制御回路はタ

## 3

イマー手段を具備しており、この制御回路は、前記CPUからの電圧の切換の指示を受けると、前記タイマー手段を利用して、段階的な電圧の切換のための一連のタイミング制御信号を発生させて前記電圧発生回路に出力し、この電圧発生回路から所定の間隔で所定の電圧を順次に発生させて段階的な電圧切換を行わせることを特徴とするマイクロコンピュータ。

【請求項11】 請求項10において、前記タイマー手段は、制御クロックによって動作するシフトレジスタにより構成されていることを特徴とするマイクロコンピュータ。

【請求項12】 請求項8において、電圧発生回路は、発生電圧の電圧値を調整するための調整手段を有することを特徴とするマイクロコンピュータ。

【請求項13】 請求項12において、電圧発生回路は、定電圧回路と、この定電圧回路の出力を入力とする負帰還増幅回路とを有しており、前記発生電圧の電圧値を調整するための調整手段は、前記負帰還増幅回路の帰還抵抗の値を変化させる手段からなることを特徴とするマイクロコンピュータ。

【請求項14】 第1のクロックを発生する第1の発振回路と、前記第1のクロックより低い周波数の第2のクロックを発生する第2の発振回路と、クロック選択信号を受けて前記第1および第2のクロックを選択して出力するクロック選択回路と、を具備するクロック出力回路と、

このクロック出力回路から出力される前記第1のクロックまたは第2のクロックを用いて動作するCPU（中央処理装置）と、

前記第1のクロックを用いた動作のための第1の電源電圧と、前記第2のクロックを用いた動作のための、前記第1の電源電圧よりも絶対値が小さい第2の電源電圧と、前記第1の電源電圧と第2の電源電圧の中間の電位の定電圧とを発生させることができる電圧発生回路と、前記CPUからのクロック切換を行う旨の指示を受け、前記電圧発生回路の制御信号および前記クロック選択信号を作成し、それぞれの信号を前記電圧発生回路と前記クロック選択回路に与えて電源電圧の段階的な切換とクロックの切換とを連動させて制御する制御回路と、を有することを特徴とするマイクロコンピュータ。

【請求項15】 請求項14において、前記制御回路は、制御クロックによって動作するシフトレジスタにより構成されていることを特徴とするマイクロコンピュータ。

【請求項16】 請求項14において、CPUはプログラムの1命令を実行することによって前記クロック切換を行う旨の指示を前記制御回路に与え、その後は、前記制御回路が単独で、電圧ならびにクロックの切換のための一連の動作を実行することを特徴とするマイクロコンピュータ。

## 4

【請求項17】 請求項14において、前記制御回路は、CPUからクロック切換を行う旨の指示を受けると、電圧発生回路の制御信号とクロック選択信号の他に、さらに、前記第1の発振回路または第2の発振回路からのクロック信号の発生／非発生を制御する発振制御信号を作成し、出力することを特徴とするマイクロコンピュータ。

【請求項18】 請求項14において、マイクロコンピュータは、電池を用いた携帯用電子機器の制御に使用されることを特徴とする、マイクロコンピュータ。

【請求項19】 請求項1～6のいずれかに記載の半導体装置を内蔵する電子機器。

【請求項20】 請求項19において、電子機器は、電池を電源とする携帯用電子機器であることを特徴とする電子機器。

【請求項21】 請求項19において、電子機器に内蔵された半導体装置は、電池の出力電圧よりも低い、電子機器の内部で作成された内部電源電圧によって動作することを特徴とする電子機器。

【請求項22】 請求項19において、電子機器は、液晶表示器を具備する個人用携帯型情報機器であることを特徴とする電子機器。

【請求項23】 請求項8～17のいずれかに記載のコンピュータを用いた電子機器。

【請求項24】 請求項23において、電子機器は、電池を電源とする携帯用電子機器であることを特徴とする電子機器。

【請求項25】 請求項23において、電子機器に内蔵されたマイクロコンピュータは、電池の出力電圧よりも低い、電子機器の内部で作成された内部電源電圧によって動作することを特徴とする電子機器。

【請求項26】 請求項23において、電子機器は、液晶表示器を具備する個人用携帯型情報機器であることを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置、マイクロコンピュータおよび電子機器に関する。

【0002】

【従来の技術】例えば、電池駆動の電子機器などに使用されるマイクロコンピュータにおいて、低消費電力を実現するために、電池の供給電圧より低い電圧を発生させる定電圧回路を具備し、この定電圧回路から供給される電圧を電源電圧（以下、内部電源電圧という）として動作するものがある。

【0003】そして、さらなる低消費電力性を実現するために、上述のマイクロコンピュータにおいて、使用するクロックの周波数に応じて、上述の内部電源電圧を切り換えて使用する場合がある。

【0004】例えば、低周波クロックと高周波クロック

## 5

を選択的に使用するツインクロック方式のマイクロコンピュータでは、低消費電力を実現するために、低周波クロックの使用時には低レベルの内部電源電圧を使用し、高周波クロックの使用時には高レベルの内部電源電圧を使用するものがある。この場合、低レベルの内部電源電圧の適宜の使用によって電力消費が抑制される。

【0005】なお、クロックの切り換えや、これに伴う内部電源電圧の切り換え等は、ソフトウェアによる制御により実行される。

【0006】

【発明が解決しようとする課題】近年、電子機器の低消費電力性に対する要求が強まっており、本願発明者は、この要求に応えるべく、上述した内部電源電圧を切り換えて使用する、ツインクロック方式のマイクロコンピュータについて、低レベルの内部電源電圧の値をさらに下げる（つまり、電圧の絶対値を縮小する）ことを試みたが、その結果、以下の事項が明らかとなった。

【0007】（1）低レベルの内部電源電圧から高レベルの内部電源電圧に切り換えると、その切り換えの直後に、レジスタ等の記憶回路の保持データが反転して、回路が誤動作する場合がある。この場合、製品に対する信頼性が低下する。

【0008】（2）低消費電力性を重視して、上記の絶対値が圧縮された低レベルの内部電源電圧を使用し、かつ、上記（1）の不都合を回避するためには、今度は、高レベルの内部電源電圧のレベルを下げる（電圧の絶対値を縮小する）必要がある。しかし、この場合には、高レベルの内部電源電圧の低下に伴い、使用できる高周波クロックの周波数が著しく制限され、マイクロコンピュータの高速動作が妨げられるという新たな問題が生じる。

【0009】（3）したがって、低消費電力性の追求と回路の高速動作とは、信頼性の確保という点からみて、両立が非常に困難である。

【0010】上記の事項について図27～図31を用いて具体的に説明する。

【0011】図27に例示されるように、マイクロコンピュータのCPU（中央処理装置）には、フラグフリップフロップ（フラグF/F）3300や、汎用レジスタ3000、セグメントレジスタ3500等の記憶回路（データの一時記憶回路）が多数使用されており、それらの記憶回路における保持データは、所定の期間、常に同じ値（「H」または「L」）に保持されていなければならない。

【0012】図28は、フラグフリップフロップ3300と汎用レジスタ3000との間のデータ転送のためのインタフェース部分の構成を簡略化して示す図である。

【0013】図28において、定電圧回路4000は、VDD（グラウンド）およびVSS（負電源であり、外部から供給される）間で動作し、端子203に接続された

## 6

内部電源ラインL1に、内部電源電圧（V<sub>203</sub>）を供給する働きをする。

【0014】また、フラグフリップフロップ3300の出力バッファならびに汎用レジスタ3000の入力バッファは、図示されるようにCMOSインバータ（MOSトランジスタM1、M2またはMOSトランジスタM3、M4で構成される）からなり、その論理しきい値電圧（スレシヨルド電圧）は、例えば、VSS/2に設定されている。

10 【0015】図29は、図28の構成における、内部電源電圧の切り換えの様子を示す図である。

【0016】図中、V（A）は、上述の内部電源電圧（V<sub>203</sub>）のうち、ローレベル（低レベル）の内部電源電圧であり、V（C）はハイレベル（高レベル）の内部電源電圧である。また、V<sub>th</sub>（a）はV（A）使用時のCMOSインバータのスレシヨルド電圧であり、V<sub>th</sub>（b）はV（C）使用時のCMOSインバータのスレシヨルド電圧である。

20 【0017】また、V<sub>OUT</sub>は、図28の信号ラインL2における電位である（「L」データに相当する電位となっているのが正常とする）。

【0018】図29において、時刻t2において、内部電源電圧をV（A）からV（C）に切り換えした場合、その切換の前後で、「L」データの同一性は確保されている。

【0019】次に、さらなる低消費電力を目的に、低レベル内部電源電圧をさらに圧縮してV（A）からV（B）に変化（シフト）させた場合の動作を、図30に示す。

30 【0020】この場合、スレシヨルド電圧V<sub>th</sub>（b）が、シフト前のローレベル内部電源電圧V（B）の近傍に位置することになる。したがって、図示されるように、時刻t2～時刻t3に「L」データが「H」データに反転する場合がある。これは、内部電源電圧の切換に伴ってスレシヨルド電圧は即座に変化するものの、信号ラインL2（図28）の電位の変化は、寄生容量等の影響を受けて遅延するからである。

40 【0021】したがって、図30の不都合を回避するには、図31に示されるように、高レベルの内部電源電圧を縮小し、内部電源電圧のシフト量を少なくする必要がある。つまり、図31では、ハイレベルの内部電源電圧はV（D）となり、これに伴いスレシヨルド電圧はV<sub>th</sub>（d）となっている。したがって、図30の場合は、マイクロコンピュータの高速動作時の電源電圧の絶対値は「V<sub>L</sub>」であったものが、図31の場合は「V<sub>H</sub>」に縮小されている。

50 【0022】これにより、内部電源電圧の切換に伴うデータ反転は防止される。しかし、この場合には、電源電圧の低下に伴い、高速動作時のクロックの周波数をあまり高くできなくなり、マイクロコンピュータの処理能力

が低下するという不都合が、新たに生じる。

【0023】このように、低消費電力性が要求されるマイクロコンピュータ等の電子装置において、低消費電力性の追求と、動作の高速性および信頼性とを両立することは現状では困難であることがわかった。

【0024】なお、上述したデータ反転現象は、レジスタ等の一時記憶回路（ラッチ）やフリップフロップ型のメモリセルを有するSRAM等の記憶回路において生じる恐れがある。また、上述のデータ反転と同様に、動作クロックが誤って認識され、その結果、分周回路等のクロックに同期して動作する回路が誤動作する場合もあり得る。

【0025】本発明は、上述のような、本発明者によってなされた考察に基づきなされたものであり、その目的は、半導体装置、マイクロコンピュータおよび電子機器において、高速動作性および信頼性を維持、向上しつつ、低消費電力性を現状より高めることにある。

【0026】

【課題を解決するための手段】本発明は、以下の構成、作用および効果を有する。

【0027】（1）請求項1の本発明の半導体装置は、少なくとも半導体装置内の一部の領域の電源電圧を切り換えることができる半導体装置であって、前記電源電圧を発生させる定電圧回路を具備し、この定電圧回路は、少なくとも第1、第2および第3の電圧値（第1の電圧値の絶対値は第2の電圧値の絶対値より小さく、第2の電圧値の絶対値は第3の電圧値の絶対値より小さいものとする）をもつ各電圧を発生する電圧発生手段と、前記第1の電圧値と第3の電圧値との間で発生電圧の切換を行う場合に、一旦前記第2の電圧値を発生させ、しかる後、第1または第3の電圧値への切換を行わせ、これによって段階的な電圧の切換を実現する電圧発生手段の制御手段と、を有することを特徴とする。

【0028】制御手段は、電源電圧の切換にあたって各電圧をその絶対値の大きいもの（あるいは小さいもの）から順に順次出力させ、段階的な電源電圧の切換を実現する。これにより、データ反転が生じない安全な範囲でのみ、段階的に細かく電源電圧を切り換えていき、最終的に所望の電源電圧値への切り換えが達成される。

【0029】したがって、例えば、電源電圧の切り換えの直後において、信号ラインの電位シフトがデジタル回路のしきい値のシフトより遅れても、データの反転は生じず、回路の誤動作が生じず、ゆえに信頼性の低下が生じない。

【0030】よって、低レベル電源電圧と高レベル電源電圧との差（電位差）を大きくとることができ、低消費電力性と高速性（あるいは高駆動能力）の双方を強化することができる。

【0031】（2）請求項2の本発明の半導体装置は、請求項1において、制御手段が、段階的な電源電圧の切

り換えを行う際、タイマー手段を用いてタイミングの制御を行う。

【0032】したがって、段階的な電源電圧の切り換えを確実に行うことができる。また、ハードウェアによる時間管理の下で一連の切り換えシーケンスが実行されるため、ソフトウェアの誤命令による急激な電源電圧のシフトが生じる危険もない。

【0033】（3）請求項3の本発明の半導体装置は、請求項1において、定電圧回路が発生できる電圧（電源電圧）を任意の値に調整するための調整手段を設けたものである。

【0034】これにより、半導体装置において使用するクロック周波数や出力回路の負荷のドライブ能力を広範囲で選択できるようになり、半導体装置の汎用性を向上することができる。

【0035】（4）請求項4の本発明の半導体装置では、信号伝達路によって相互に接続され、相互に信号（データ）の授受を行う第1および第2のゲート回路について電源電圧のシフトを行う場合に、段階的な電源電圧の切り換えを行うものである。したがって、第1および第2のゲート回路の誤動作（誤ったデータの送受信）を防止できる。

【0036】（5）請求項5の本発明の半導体装置は、請求項4において、前記第1および第2のゲート回路は絶縁ゲート型電界効果トランジスタ（MOSFET）により構成され、かつ、それぞれ電源電圧に依存して変化するしきい値電圧を有しており、それらのしきい値電圧の電圧値のうちの少なくとも一つは、前記第1または第2の電源電圧の電圧値に近似した値となっていることを特徴とする。

【0037】このような場合は、図30により説明したように、電源電圧のシフトに伴ってデータ反転が生じやすいのであるが、本発明の段階的な電源電圧の切り換えによれば、図6に例示されるように、データの反転は確実に防止される。したがって、信頼性が向上する。

【0038】なお、本明細書において、「MOSFET」の用語は、ゲート電極ならびにゲート酸化膜の種類を問わず、広義の絶縁ゲート型電界効果トランジスタの一般名称として使用する。

【0039】（6）請求項6の本発明の半導体装置は、請求項4において、低消費電力性が優先される動作モードと、高速あるいは高負荷駆動能力が要求される動作モードに応じて、電源電圧の切り換えを行うものである。したがって、不必要な電力消費を抑制しながら、必要な機能（高速な信号処理機能等）を実現できる。

【0040】（7）請求項7の本発明の半導体装置は、請求項4において、半導体装置が電池（太陽電池およびバッテリーを含む）で駆動される携帯用電子機器の制御用に使用されるものである。

【0041】携帯用電子機器では、低消費電力性の要求

が強く、かつ多機能、高機能が求められるため、本発明を現実に適用するのに適している。

【0042】(8)請求項8の本発明のマイクロコンピュータは、第1のクロックと、この第1のクロックより低い周波数の第2のクロックを出力できるクロック出力回路と、このクロック出力回路から出力される前記第1のクロックまたは第2のクロックを用いて動作するCPU(中央処理装置)と、第1の電源電圧と、この第1の電源電圧よりも絶対値が小さい第2の電源電圧と、前記第1の電源電圧と第2の電源電圧の中間の電位の定電圧とを発生させることができる電圧発生回路と、この電圧発生回路の動作を制御する制御回路とを具備し、前記制御回路は、CPUが前記第1のクロックを用いて動作する場合には、前記電圧発生回路から前記第1の電源電圧を発生させ、前記第2のクロックを用いて動作する場合には、前記電圧発生回路から前記第2の電源電圧を発生させ、かつ、第1の電源電圧と第2の電源電圧との間の切り換えに際しては、まず、前記中間の電位の定電圧を発生させ、しかる後、前記第1または第2の電源電圧を発生させて段階的な電源電圧の切換が行われるように前記電圧発生回路の動作を制御することを特徴とする。

【0043】すなわち、CPUが使用するクロックの周波数に対応させて電源電圧を切り換え、その際、段階的な電源電圧の切り換えを行うものである。

【0044】例えば、ツインクロック方式のマイクロコンピュータにおいて、使用する動作クロックの周波数が低いときは必要最小限の低い電源電圧としておき、高周波数のときは、その周波数に見合った十分な機能が実現されるように高い電源電圧とすることにより、低消費電力で、かつ、必要な十分なデータ処理能力をもつマイクロコンピュータを実現できる。電圧切り換えの際は、段階的な切り換えを実行するため、データ反転が生じず、信頼性を損なうこともない。

【0045】(9)請求項9記載の本発明のマイクロコンピュータは、請求項8において、前記制御回路は、発生させるべき電圧を指定する前記CPUからの指示を設定するためのレジスタと、このレジスタの出力信号をデコードし、そのデコード出力を前記電圧発生回路に供給するデコーダとを有し、また、前記電圧発生回路は、絶縁ゲート型電界効果トランジスタ(MOSFET)を用いた差動回路を具備してなる少なくとも2つの定電圧回路と、これらの定電圧回路の出力を入力とする少なくとも2つのバッファ回路とを有し、それらのバッファ回路の少なくとも一つは入出力にオフセットを持っており、前記定電圧回路のそれぞれから出力される電圧値が異なる定電圧を、前記バッファを介してそのまま出力させるのみならず、前記オフセットを前記定電圧に付加して出力させることにより、前記定電圧回路の数より多い数の電圧値が異なる定電圧を発生させ、その各定電圧を、前記デコーダのデコード出力に対応した電源電圧として選

択的に出力するようになっていることを特徴とする。

【0046】すなわち、制御回路はCPUの命令(指示)を設定するためのレジスタをもつ。したがって、動作クロックを切り換えるときは、CPUはこのレジスタに命令(指示)を設定するだけでよい。一方、電圧発生回路は、MOSFETを用いた差動回路を用いた定電圧回路と、同様の構成のバッファ回路とを有している。MOSFETのゲート電極およびゲート絶縁膜の種類は問わない。

【0047】バッファ回路としては、入出力オフセットが有るものと無いものを使用する。

【0048】入出力オフセットが有るバッファ回路を通過させることにより、定電圧回路の出力電圧にさらにオフセット電圧を上乗せした電圧を得ることができ、これにより、定電圧回路の数より多い電源電圧を、容易に発生できる。

【0049】(10)請求項10の本発明のマイクロコンピュータは、請求項8において、前記制御回路はタイマー手段を具備しており、この制御回路は、前記CPUからの電圧の切換の指示を受けると、前記タイマー手段を利用して、段階的な電圧の切換のための一連のタイミング制御信号を発生させて前記電圧発生回路に出力し、この電圧発生回路から所定の間隔で所定の電圧を順次に発生させて段階的な電圧切換を行わせることを特徴とする。

【0050】すなわち、制御回路がタイマー手段を具備し、段階的な電圧切り換えのためのタイミング制御信号を発生させる。よって、確実に、段階的な電圧切り換えを行うことができる。また、ハードウェアによる時間管理の下で一連の切り換えシーケンスが実行されるため、ソフトウェアの誤命令による急激な電源電圧のシフトが生じる危険もない。

【0051】(11)請求項11の本発明のマイクロコンピュータは、請求項10において、タイマー手段を制御クロックにより動作するシフトレジスタにより構成したことを特徴とする。

【0052】したがって、制御クロックの周期を調整することにより、所望のタイミング制御信号を容易に得ることができる。

【0053】(12)請求項12の本発明のマイクロコンピュータは、請求項8において、電圧発生回路が発生できる電圧(電源電圧)を任意の値に調整するための調整手段を設けたものである。

【0054】これにより、マイクロコンピュータにおいて使用するクロック周波数や出力回路の負荷のドライブ能力を広範囲で選択できるようになり、マイクロコンピュータの汎用性を向上することができる。

【0055】(13)請求項13の本発明のマイクロコンピュータは、請求項12において、電圧発生回路は、定電圧回路と、この定電圧回路の出力を入力とする負帰

還増幅回路とを有しており、前記発生電圧の電圧値を調整するための調整手段は、前記負帰還増幅回路の帰還抵抗の値を変化させる手段からなることを特徴とする。

【0056】すなわち、帰還抵抗の抵抗値を調整して負帰還アンプのゲインを調整し、任意電圧を発生させるものである。これにより、任意の電源電圧を容易かつ正確に発生させることができる。

【0057】(14) 請求項14の本発明のマイクロコンピュータは、制御回路が、クロックの切り換えおよび電源電圧の段階的切り換えを、連動させて制御するようにしたことを特徴とする。

【0058】これにより、使用するクロック切り換えと、電源電圧の切り換えとを一括して行うことができ、クロックと電源電圧との整合性が確保され、かつ、回路の小型化も図れる。

【0059】(15) 請求項15の本発明は、請求項14において、制御回路をシフトレジスタにより構成したものである。簡単な回路構成で、必要な制御信号を所望のタイミングで順次に得ることができる。

【0060】(16) 請求項16の本発明は、請求項14において、CPUはプログラムの1命令を実行することによって前記クロック切換を行う旨の指示を前記制御回路に与え、その後は、前記制御回路が単独で、電圧ならびにクロックの切換のための一連の動作を実行することを特徴とする。

【0061】CPUがクロックの切り換えを指示するだけで、後は、例えば、専用のハードウェアが、クロックの切換および電源電圧の段階的な切換に必要な一連の動作を実行する。

【0062】したがって、CPUがプログラムの1命令を実行することによって、クロックと電源の双方の切り換えを実現でき、CPUの負担が小さく、かつソフトウェアの誤命令による誤った切換も防止できる。

【0063】(17) 請求項17の本発明のマイクロコンピュータは、請求項14において、前記制御回路は、CPUからクロック切換を行う旨の指示を受けると、電圧発生回路の制御信号とクロック選択信号の他に、さらに、前記第1の発振回路または第2の発振回路からのクロック信号の発生／非発生を制御する発振制御信号を作成し、出力することを特徴とする。

【0064】すなわち、クロック信号の発生／非発生も制御回路により制御するようにしたものである。

【0065】不必要な時にはクロックの発生自体を止めることで、消費電力をさらに抑制できる。

【0066】(18) 請求項18の本発明のマイクロコンピュータは、請求項14において、マイクロコンピュータが電池（太陽電池およびバッテリーを含む）で駆動される携帯用電子機器の制御用に使用されるものである。

【0067】携帯用電子機器では、低消費電力性の要求

が強く、かつ多機能、高機能が求められるため、本発明を適用するのに適している。

【0068】(19) 請求項19～請求項22の本発明の電子機器は、請求項8～17の半導体装置を内蔵する、電池（バッテリーを含む）を電源とする電子機器である。

【0069】きわめて厳しい低消費電力性と高機能、多機能が求められるこれらの電子機器に本発明の半導体装置を内蔵させることにより、より高性能な電子機器を提供することができる。

【0070】(20) 請求項23～請求項26の本発明の電子機器は、請求項1～6のマイクロコンピュータを内蔵する、電池（バッテリー）を電源とする、電子機器である。請求項19～請求項22と同様に、より高性能な電子機器を提供することが可能となる。

【0071】

【発明の実施の形態】次に、本発明の実施の形態について、図面を参照して説明する。

【0072】(1) 第1の実施の形態

図1は本発明をマイクロコンピュータに適用した実施形態の全体構成を示すブロック図である。

【0073】(全体構成)本実施形態のマイクロコンピュータは、全体としてVDD（グラウンド）とVSS（負電源）を電源として動作するものであるが、一部の回路（定電圧系回路112）は、VDD（グラウンド）と、VSSより絶対値が小さい電源電位（V203）を電源として動作する。

【0074】つまり、定電圧系回路112は、外部から供給される外部電源電圧より絶対値が小さい内部電源電圧によって動作し、これにより、マイクロコンピュータのトータルの消費電力を削減できるようになっている。この定電圧系回路112は、CPU101と、定電圧制御回路103（定電圧回路102の一部を構成する）と、分周回路110およびタイマー111とを具備する回路である。

【0075】以下、各回路について説明する。

【0076】中央処理装置（CPU）101は、発振回路106から供給される動作クロックにより動作する。

【0077】定電圧回路102は、電源端子201および202に外部から与えられるマイクロコンピュータの外部電源VDDおよびVSS（例えば、電池の出力電圧である）を基にして、VSSより絶対値が小さい内部電源電位V203を端子203に発生させるための回路であり、定電圧制御回路103と、定電圧発生回路104とを具備している。

【0078】定電圧発生回路104は、マイクロコンピュータに外部から供給されるVDDおよびVSSを電源電位として動作し、内部回路に必要な新たな電源電位（つまり内部電源電位）V203を発生し、定電圧系回路112に供給する。定電圧系回路112は、マイクロ

ンピュータの構成要素のうち、内部電源電圧である  $V_{203}$  を使用して動作する回路である。

【0079】外部電源電圧より低い内部電源電圧を用いることにより、マイクロコンピュータの消費電力の削減を図ることができる。

【0080】なお、上述の  $VDD$  は正極電源であり、 $VSS$  は負極電源である。本実施形態では、 $VDD$  はグラウンドであり、 $VSS$  は  $0V$  より低い電圧となっている。また、本明細書では、定電圧発生回路 104 により作成される、 $VSS$  より絶対値が小さい内部電源電位を「 $V_{203}$ 」と記す。

【0081】発振回路 106 は、低速クロックを出力する低速モード用発振回路 107 と、高速クロックを出力する高速モード用発振回路 108 と、低速クロックまたは高速クロックのうちのいずれか一方を選択して  $CPU$  101 に供給する  $CPU$  クロック制御回路 109 とを有している。

【0082】 $CPU$  が高速モードで動作するときは高速クロックが選択され、低速モードで動作するときは低速クロックが選択される。この場合、低速モードの動作のときは、高速モードの動作の場合より使用する内部電源電位  $V_{203}$  の絶対値を小さくして、電源電圧を縮小し、さらに低消費電力化を図ることができるようになっている。

【0083】したがって、定電圧発生回路 104 は、 $CPU$  が使用するクロックの周波数に応じて、つまり、発振回路 106 のモード状態に応じて、出力レベル ( $V_{203}$ ) の値を変えなければならないが、これを制御しているのが前述の定電圧制御回路 103 である。

【0084】すなわち、定電圧制御回路 103 は、 $CPU$  101 の命令に従い、内部電源電位  $V_{203}$  のレベルを変えるようになっている（この動作の詳細については後述する）。

【0085】タイマー 111 は、分周回路 110 の出力クロックを用いて時間を計測する回路であり、 $CPU$  101 はこのタイマー 111 を随時に利用して所定の処理を実行する。

【0086】（各部の構成）図 2、図 3、図 4 を用いて、図 1 の構成の、より具体的な例を説明する。

【0087】図 2 は、図 1 の定電圧回路 102（定電圧制御回路 103 および定電圧発生回路 104）の具体的な構成例を示す図である。

【0088】定電圧制御回路 103 は、 $CPU$  101 から発せられる、使用するクロックの変更命令を設定するための制御レジスタ 302 と、この制御レジスタ 302 に設定された命令を解釈するデコーダ 303 と、出力信号の電圧レベルをシフトさせるレベルシフタ 304 とからなっている。

【0089】また、定電圧発生回路 104 は、第 1 の基準電圧回路（出力電圧  $V_A$ ）336 と、第 2 の基準電圧

回路（出力電圧  $V_B$ ）337 と、入出力オフセットをもたない第 1 のバッファ回路（ボルテージフォロウ）338 と、入出力オフセット ( $V_{OFF}$ ) をもち、したがってレベルシフト機能を有する第 2 のバッファ回路 339 とを有している。

【0090】第 1 および第 2 の基準電圧回路 336、337 は、周囲温度に依存しない温度補償された定電圧を出力する回路であり、例えば、バンドギャップ回路や、 $MOS$  トランジスタの仕事関数差を用いた回路により構成される。

【0091】第 1 のバッファ回路 338 には、第 1 および第 2 の基準電圧回路 336、337 の出力電圧 ( $V_A$ 、 $V_B$ ) が入力され、そのうちのいずれかが、選択的に出力される。

【0092】また、第 2 のバッファ回路 339 には、第 1 の基準電圧回路 336 の出力電圧  $V_A$  が入力され、この入力電圧 ( $V_A$ ) に前述の入出力オフセット電圧 ( $V_{OFF}$ ) を加えた電圧  $V_C$  ( $V_C = V_A + V_{OFF}$ ) が出力されるようになっている。したがって、本回路によれば、基準電圧回路の数より多い、異なる値の定電圧を容易に作成することができる。

【0093】この定電圧発生回路 104 の構成をさらに具体化した例を図 3 に示す。

【0094】この図 3 に示されるように、定電圧発生回路 104 を構成する第 1 および第 2 のバッファ回路 338、339 は、 $MOS$  トランジスタを用いた差動対回路  $AP1$ 、 $AP2$  と、出力段トランジスタ 325、333 とにより構成されている。

【0095】また、第 1 および第 2 の基準電圧回路 336、337 と第 1 バッファ回路 338 との間には、信号の伝達を制御するためのトランスミッションゲート回路 334、335 がそれぞれ設けられている。

【0096】図 3 に示される定電圧制御回路 103 および定電圧発生回路 104 の、さらに具体的な回路例が図 4 に示される。

【0097】定電圧制御回路 103 において、2 個の制御レジスタ 302a、302b が設けられている。この制御レジスタ 302a、302b はリセット端子 ( $CL$ ) 付きの  $D$  型フリップフロップにより構成される。この 2 個の制御レジスタ 302a、302b の入力のうち、「 $D0$ 、 $D1$ 」は設定データを伝達するためのデータバスからの信号、「 $CE$ 」は定電圧レベル制御レジスタのアドレスを選択するためのレベルセレクト信号、「 $WM$ 」は図 1～図 3 に示される  $CPU$  101 からのライトメモリー信号、「 $SR$ 」はマイクロコンピュータのシステムリセット信号である。各データバスの信号は  $WM$  信号に同期して書き込まれる。

「 $WM$ 」は図 1～図 3 に示される  $CPU$  101 からのライトメモリー信号、「 $SR$ 」はマイクロコンピュータのシステムリセット信号である。各データバスの信号は  $WM$  信号に同期して書き込まれる。

【0098】2 個の制御レジスタ 302a、302b に設定されたデータは、デコーダ 303 においてデコードされ、そのデコード信号のそれぞれがレベルシフト回路



304a, 304b, 304cを介して定電圧発生回路104に与えられる。これらの信号(VREG1, VREG2, VREG3)が、定電圧発生回路104から発生する電圧を指定する(制御する)信号となる。

【0099】なお、レベルシフト回路304a, 304b, 304cを介するのは、定電圧制御回路103が内部電源電位V203により動作している一方、定電圧発生回路104がVSSを用いて動作しており、ゆえに双方の回路の「H」レベル、「L」レベルに差があり、したがって、レベルシフトにより整合をとる必要があるからである。

【0100】定電圧発生回路104において、第1の基準電圧回路336は、差動対をなすPMOSトランジスタ307, 308、および、カレントミラー負荷を構成するNMOSトランジスタ321, 322とで構成されている。

【0101】また、第2の基準電圧回路337は、差動対をなすPMOSトランジスタ314, 316と、カレントミラー負荷を構成するNMOSトランジスタ327, 328と、制御用のスイッチングトランジスタ313, 315, 329とで構成されている。

【0102】第1の出力バッファ回路338は、差動対をなすPMOSトランジスタ311, 312と、カレントミラー負荷を構成するNMOSトランジスタ323,

表1

制御レジスタa	制御レジスタb	VREG1	VREG2	VREG3
0	0	1	0	0
1	0	0	1	0
0	1	0	0	1
1	1	0	0	1

そして、制御信号VREG1が「1」のときにはV203=-1.05(V)となり、VREG2が「1」のときはV203=-1.55(V)となり、VREG3が「1」のときは、V203=-2.10(V)となるようになっている。

【0107】このような内部電源電位V203は、以下のように発生する。

【0108】まず、基準電圧回路336の出力電圧VA

$$V_A = -[V_{308} - V_{307} \times \{ (\beta_{307} \times \beta_{322}) / \beta_{308} \times \beta_{321} \}^{1/2}] \quad \dots (1)$$

また、基準電圧回路336の電流増幅率βは次式で示される。

$$\beta = \{ \mu \times (\epsilon_0) \times (\epsilon_{OX}) / (t_{OX}) \} \times (W/L) \quad \dots (2)$$

(2)式において、μはキャリアの移動度、ε0は真空中の誘電率、εOXはゲート酸化膜の比誘電率、Wはトランジスタのゲート幅、Lはトランジスタのゲート長である。

【0112】いま、β307=β308, β321=β

$$V_A = -(V_{308} - V_{307}) \quad \dots (3)$$

基準電圧回路336では、このスレショルド電圧の差を

324と、差動対に電流を供給する機能をもつPMOSトランジスタ310と、出力段トランジスタ325と、制御用のスイッチングトランジスタ309, 326とを有している。

【0103】第2の出力バッファ回路339は、第1の出力バッファ回路338と同様に、差動対をなすPMOSトランジスタ319, 320と、カレントミラー負荷を構成するNMOSトランジスタ330, 331と、差動対に電流を供給する機能をもつPMOSトランジスタ318と、出力段トランジスタ333と、制御用のスイッチングトランジスタ317, 332とを有している。

【0104】なお、参照番号334, 335はトランスミッションゲートである。

【0105】この図4の回路における、内部電源電位(V203)の切り換え動作を図5のタイミングチャートを用いて説明する。

【0106】定電圧制御回路103中の、制御レジスタ302a, 302bのそれぞれに、CPU101がデータを設定すると、VREG1, VREG2, VREG3(定電圧発生回路104から発生する電圧の制御信号)のレベルは以下の表1のように変化する(なお、表1において、便宜上、制御レジスタ302aを制御レジスタaと表記し、制御レジスタ302bを制御レジスタbと表記している)。

について説明する。

【0109】MOSトランジスタ307, 308, 321, 322のそれぞれのスレショルド電圧ならびに電流増幅率をそれぞれ、(V307, β307), (V308, β308), (V321, β321), (V322, β322)とすると、出力電圧VAは次式で示される。

【0110】

【0111】

322とすると、(1)式は下記(3)式のようになり、スレショルド電圧であるV308とV307の差で表すことができる。

【0113】

50 仕事関数差に等しくすることにより、温度補償された定

電圧 $V_A$  ( $=-1.05V$ )を出力するようにしている。

【0114】基準電圧発生回路337の出力電圧 $V_B$ についても、基準電圧発生回路336の説明で使用した上記の(1)式、(2)式、(3)式と同様の式に基づき、電流増幅率 $\beta$ も調整し、その結果として温度補償された出力電圧 $V_B$  ( $=-1.55V$ )を出力するようにしている。

【0115】以上のようにして作成された定電圧 $V_A$ 、 $V_B$ は、次段の第1のバッファ338および第2のバッファ339に供給される。

【0116】第1のバッファ338は入力と出力との間にオフセットがないバッファであるが、第2のバッファ339には、入力と出力との間に $1.05V$ のオフセットが設けられている。

【0117】第1のバッファ338には、上記の定電圧 $V_A$  ( $=-1.05V$ )あるいは $V_B$  ( $=-1.55V$ )が入力され、この結果、端子203に、 $-1.05V$ あるいは $-1.55V$ の内部電源電位( $V_{203}$ )が発生する。

【0118】また、第2のバッファ339には、定電圧 $V_A$  ( $=-1.05V$ )が入力される。このとき、入出力に $-1.05V$ のオフセットが設けられているため、出力電圧 $V_C$ は、 $-(1.05+1.05)V$ 、すなわち、 $-2.10V$ となる。

【0119】 $V_A$  ( $=-1.05V$ )と $V_B$  ( $=-1.55V$ )の切り換えは、トランスマッションゲート334および335を用いて行う。

【0120】また、 $V_A$  ( $=-1.05V$ )または $V_B$  ( $=-1.55V$ )の出力時には、NMOSトランジスタ326がオフし、一方、NMOSトランジスタ332がオンする。よって、この場合は、出力段トランジスタ325が出力ドライバとして使用される。また、 $V_C$  ( $=-2.10V$ )の出力時には、NMOSトランジスタ326がオン、NMOSトランジスタ332がオフとなり、この場合は、出力段トランジスタ333が出力ドライバとして使用される。

【0121】このようにして、定電圧 $V_A$ 、 $V_B$ 、 $V_C$ が得られる。

【0122】図5に示されるように、制御レジスタ302a、302bのデータが共に「0」の状態から、制御レジスタ302aのデータのみを「1」とし、続いて、制御レジスタ302bのデータのみを「1」とするように順次に設定を変更すると、これに応じて、内部電源電位 $V_{203}$ は、 $-1.05V$ から $-1.55V$ へ、そして $-2.10V$ へと段階的に切り替わる。 $V_{DD}$ はグラウンドに固定されているため、この段階的な切り換えによって、徐々に内部電源電圧が上昇することになる。

【0123】このような内部電源電位のシフトは、図1の回路において、CPU101が使用するクロックを変

更するとき(低速クロックから高速クロックに変更するとき)に、その変更に関連して実行される。

【0124】つまり、図1において、低速モード用発振回路107を使用している状態から高速モード用発振回路108を使用する状態に切り換える場合、CPU101は、まず、上述のように段階的に内部電源電圧を上昇させ、最終的な電圧が安定した後に高速モード用発振回路108をオンさせ、高速発振クロックをCPUクロック制御回路109を介して自己に入力させる。

【0125】高速クロックから低速クロックに切り換える際には、逆の動作を行う。つまり、CPU101は、図5に示されるように、制御レジスタ302bのみデータが「1」の状態から、制御レジスタ302aのデータのみを「1」とし、続いて、制御レジスタ302a、302bのデータが共に「0」とするように順次に設定を変更する。これに応じて、内部電源電位 $V_{203}$ は、 $-2.10V$ から $-1.55V$ へ、そして $-1.05V$ へと順次に段階的に切り替わる。これにより、内部電源電圧が下がる。そして、最終的な電圧が安定した後に低速モード用発振回路107をオンさせ、低速発振クロックをCPUクロック制御回路109を介して自己に入力させる。

【0126】このような段階的な電源電圧の切り換えにより、図6に示すように、電源電圧の切り換えに伴う記憶データの反転が防止される。つまり、図30の場合と同じ条件で電源電圧のシフトを行っても、記憶データはロジック回路のしきい値電圧と交差することがなく、したがって、電源電圧の切り換えの前後で記憶データの「H」、「L」はそのまま維持される。

【0127】このように、本実施の形態によると、マイクログコンピュータの信頼性を損なうことなく、高速動作と低消費電力性とを両立できる。

【0128】なお、本実施の形態では、定電圧回路102は電圧レベルとして3レベルを発生し、段階的に電圧を変化(シフト)させていくようになっているが、これに限定されるものではなく、同様に、4レベル以上の電圧を発生し、段階的に電圧をシフトしていくような例も容易に実現可能である。

【0129】電源電圧の急激な変化を避けるという観点からは、中間レベルは多いほうがよい。無段階のアナログ的な変化が望ましい。ただし、中間レベルを多く設定するためには、回路面積が大きくなるため、無制限に増やすことはできない。

【0130】また、 $V_{SS}$ をGNDとし、 $V_{DD}$ を正電源( $0V$ より高い電圧源)として使用する場合には、「H」データが「L」データに変化(反転)してしまう危険性がある。したがって、この場合にも、3レベル以上の異なった出力電圧を発生できる定電圧回路から2ステップ以上で段階的にレベルを変化させることにより、異常動作、誤動作防止が同様に可能である。

## 【0131】(2) 第2の実施の形態

次に、図7を用いて第2の実施の形態を説明する。

【0132】本実施形態の特徴は、定電圧回路102において、専用のタイマー105を設けたことである。定電圧発生回路104の構成は、図1～図4と同じである。

【0133】本実施の形態では、CPU101がクロックの切り換え命令を、制御レジスタ(図2～図4の参照番号302)に設定すると、その後は、定電圧制御回路103が専用のタイマー105を用いながら定電圧発生回路104を制御し、内部電源電位 $V_{203}$ を段階的に、自動的に切り換える。したがって、CPU101の負担が軽減されると共に、誤命令による内部電源電位の急激な変化が防止される。

【0134】図8に示されるように、専用のタイマー105は、例えば、D型フリップフロップQ1、Q2で構成することができる。この場合、専用のタイマー105の経時機能は、動作クロックCLKの周期の変化によって調整することができる。

【0135】なお、参照番号401は制御レジスタであり、図2～図4の参照番号302に相当するものである。本実施の形態では、上述のとおり、クロックの切り換え命令だけを設定できればよい。また、参照番号402はデコード回路であり、図2～図4の参照番号303に相当するものである。

【0136】図9は、図8の回路の動作を示すタイミングチャートである。

【0137】図7において、CPU101によって制御レジスタ401に「H(=1)」が設定されると、そのデータは、定電圧制御タイマー105に入力される。そのデータはタイマー105のクロック信号CLKと同期してD型フリップフロップQ1、Q2へとシフトしていく。つまり、時刻 $t_{10}$ に、D型フリップフロップQ1の出力が「H」に変化し、続いて、時刻 $t_{11}$ に、D型フリップフロップQ2の出力が「H」に変化する。

【0138】これに伴って、定電圧の制御信号であるVREG1、VREG2、VREG3のレベルが時刻 $t_{10}$ 、 $t_{11}$ に変化する。その結果、図5に示されたのと同様の制御信号が発生し、これにより、内部電源電位 $V_{203}$ が段階的に切り替わる。

【0139】また、図7において、CPU101によって制御レジスタ401に「L(=0)」が設定された場合には、同様に、時刻 $t_{12}$ 、 $t_{13}$ に、定電圧の制御信号であるVREG1、VREG2、VREG3のレベルが順次に変化し、内部電源電位 $V_{203}$ が段階的に切り替わる。

【0140】専用のタイマー105に入力されるクロック(CLK)の周期(周波数)を適宜に変更することにより、内部電源電位 $V_{203}$ のレベルの段階的な切り換え

に要する時間を調整することができる。なお、クロック(CLK)としては図1の分周回路110の分周クロックを使用すればよい。

【0141】以上説明した、本実施の形態によれば、CPU101が定電圧レベルを決めるデータを、逐次に制御レジスタに設定する必要がなくなり、CPU101の負荷が軽減されると共に、誤ったレジスタ設定が防止され、内部電源電位の急激な変化が防止される。

【0142】なお、専用のタイマーがない場合には、代わりに、図1に示される汎用のタイマー111を使用することも可能である。

## 【0143】(3) 第3の実施の形態

次に、図10を用いて第3の実施の形態を説明する。

【0144】本実施形態の特徴は、定電圧回路102において、任意電圧発生回路550を設け、出力電圧のレベルを任意に設定できるようにしたことである。

【0145】図11に示すように、任意電圧発生回路550は、例えば、図3の構成におけるバッファ回路338、339を、負帰還増幅器551、552により置換することにより実現できる。

【0146】つまり、図11において、差動回路501の非反転端子(+)の入力が $V_A$ であるとする、端子203に発生する内部電源電位 $V_{203}$ は、次の(4)式のように表すことができる。

【0147】

$$V_{203} = V_A \cdot (1 + R_2 / R_1) \quad \dots (4)$$

したがって、負帰還抵抗 $R_1$ および $R_2$ の抵抗値を外部から調整することにより、内部電源電位 $V_{203}$ のレベルを任意に設定することができる。

【0148】図12は、図11の負帰還増幅器551(552)の具体的構成例を示す。差動回路501と、負帰還抵抗の部分504とを分離し、負帰還抵抗の部分504を端子203、204に対して外付けする構成により、抵抗 $R_1$ および $R_2$ の抵抗値を外部から調整することが可能となる。

【0149】このように、外付けされる抵抗の抵抗値に応じて、内部電源電位 $V_{203}$ のレベルを任意に設定できる。これにより、CPUを高速モードで動作させる際の発振周波数に適合させて、 $V_{203}$ のレベルを適切に決めることができる。したがって、マイクロコンピュータが広範囲の発振周波数に対応することができるようになり、マイクロコンピュータの汎用性を向上できる。

【0150】なお、本実施の形態では、外付けする抵抗の抵抗値を調整しているが、これに限定されるものではない。例えば、内部調整用抵抗を内蔵させ、制御端子を介して与える制御信号によって、使用する内部調整用抵抗を選択し、これにより、オペアンプのゲインを調整するようにしてもよい。

## 【0151】(4) 第4の実施の形態

次に、図13を用いて第4の実施の形態を説明する。

【0152】本実施形態の特徴は、定電圧回路102において、定電圧制御回路103'が、内部電源電位V<sub>203</sub>の切り換え制御信号VREG1, VREG2, VREG3のレベルの段階的な切り換えのみならず、さらに、高速モード用発振回路108のオン/オフと、CPUクロック制御回路109におけるクロック切り換えを、一括して行うようにしたことである。

【0153】図13において、「OSCC」は高速モード用発振回路108をオン/オフ制御するための制御信号であり、「CLKCHG」はCPUクロック制御回路109において低速クロック/高速クロックのいずれかを選択するための制御信号である。

【0154】VREG1, VREG2, VREG3, OSCC, CLKCHGの各制御信号を運動して一括して出力するための定電圧制御回路103'の構成例が図14に示される。

【0155】図14に示される定電圧制御回路103'は、D型フリップフロップQ0~Q7からなるシフトレジスタと、ゲートG1~G5からなるデコード回路とを組み合わせ構成できる。

【0156】D型フリップフロップQ0~Q7の各出力電圧の変化ならびに、VREG1, VREG2, VREG3, OSCC, CLKCHGの各制御信号の発生のタイミングは、図15のようになる。

【0157】図15において、「T1」はV<sub>203</sub>のレベルが安定するまでに要する時間、「T2」は、高速モード用発振回路108の発振が安定するために要する時間を意味し、例えば、1msec程度である。

【0158】「T1」は短時間でも、もしくは無くても問題はないが、「T2」は必ず確保されなければならない。

【0159】次に、図13に示される発振回路106'における、高速モード用発振回路108、ならびにCPUクロック制御回路109の具体的な構成例を、図14を用いて説明する。

【0160】高速モード用発振回路108は、セラミック振動子601を用いた発振回路であり、端子TAの発振出力の位相をCMOSインバータ(INV)を用いて反転し、端子TBを介して振動子601に帰還させる構成となっている。

【0161】図16中、NMOSトランジスタ602およびPMOSトランジスタ603が発振動作のオン/オフ制御を行っている。すなわち、NMOSトランジスタ602のゲートおよびPMOSトランジスタ603のゲートは、上述の制御信号OSCCにより駆動され、そして、NMOSトランジスタ602がオンするときは高速クロックが出力され、一方、PMOSトランジスタ603がオンするときは発振が停止され、高速クロックは出力されない。

【0162】また、図16に示されるCPUクロック制

御回路109は、低速モード用発振回路107からの低速クロックと高速モード用発振回路108からの高速クロックとを入力とし、上述の制御信号CLKCHGのレベルに応じて、いずれかのクロックを選択して出力するように構成されている。この出力クロック(CPUCLK)は、図13のCPU101に供給される。

【0163】以上の構成により、内部電源電位V<sub>203</sub>のレベルの段階的な切り換え、高速モード発振の開始/停止、CPUクロックの切り換えといった一連の制御をすべて、ハードウェアを用いて自動的に行うことができる。

【0164】これにより、使用するクロックと使用する電源電圧の整合性が常に保たれる。したがって、CPU101の負担が軽減されると共に、ソフトウェアによる誤ったシーケンスの実行が生じる危険性がなくなる。

【0165】なお、高速モード用発振回路108としては、図16のセラミック振動子を用いたもの以外に、図17に示すようなRC発振回路(抵抗701および容量702を使用する発振回路)も使用可能である。

【0166】なお、以上の例では、複数の発振回路を有し、一方の発振回路の電圧を変化させる場合について説明したが、これに限定されるものではなく、一つの発振回路で、発振周波数を変化させることにより低速動作モードと高速動作モードを切り替えるようにしてもよい。

【0167】また、上述の例では、低速モード用発振回路の電源を高速モード用発振回路と共通としてあるが、これに限定されるものではない。つまり、高電圧印可に伴う低速モード用発振回路の発振特性が問題になる場合は、低速モード発振回路には常に一定の電源電圧を供給すればよい。

【0168】(5)第5の実施の形態

上述した本発明のマイクロコンピュータを内蔵した、各種の電子機器について、図18、図19、図20、図21を用いて説明する。

【0169】図18では、上述した本発明のマイクロコンピュータは、エアコンのリモートコントローラ9100に内蔵されている。このコントローラ9100は、エアコン9000を制御するもので、液晶表示器9200に動作状態を表示できるようになっている。

【0170】図19では、上述した本発明のマイクロコンピュータは、電卓9300に内蔵されている。この電卓9300は、入力キー9410および液晶表示器9400を有している。

【0171】図20では、上述した本発明のマイクロコンピュータは、携帯電話機9500に内蔵されている。この携帯電話機9500は、入力キー9420および液晶表示器9600を有している。

【0172】上述の電子機器は、例えば、電池(太陽電池を含む)を用いた携帯用の電子機器である。

【0173】このような電子機器に内蔵されている、本

発明のマイクロコンピュータの全体構成の概要を図 21 に示す。図 21 のマイクロコンピュータ (MC) は、図 18 に示されるエアコンのコントローラに内蔵されるものであるが、図 19 および図 20 の電子機器にも適用できるものである。

【0174】図 21 に示されるマイクロコンピュータ (MC) は、図 1 に図示される機能ブロックの他に、入力回路 9640、出力回路 9690、ROM 9670、RAM 9680、液晶パネル駆動回路 9700、赤外線出力コントローラ 9710 等を有している。

【0175】入力回路 9640 や出力回路 9690 は、例えば、入力キー 9410 等との間の通信インタフェース回路である。また、液晶パネル駆動回路 9700 は、液晶表示器 9200 等を駆動して時計表示や各種の状態表示を行わせる回路である。また、赤外線出力コントローラ 9710 は、スイッチングトランジスタ Q100 を介して、赤外発光ダイオード D1 をオン/オフ駆動する回路である。

【0176】本発明のマイクロコンピュータ (MC) では、赤外発光ダイオード D1 のオン/オフ駆動に際しては CPU101 のクロックとして高速クロック (例えば、セラミック振動子 Z1 を利用して作成される) を使用し、液晶による表示のみの場合には低速クロック (例えば、セラミック振動子 Z2 を利用して作成される) を使用する。

【0177】そして、高速クロックを用いるときは、高レベルの電源電圧を使用して CPU101 の高速動作を可能とし、低速クロックを用いるときは、低レベルの電源電圧を使用して消費電力の削減を図る。そして、電源電圧のレベルの切り換えに際しては、上述したように、段階的な切り換えを行って回路の誤動作等を、防止する。

【0178】以上は、赤外線による制御の場合であるが、電卓の場合も、同様の効果を得ることができる。

【0179】つまり、電卓において、キー入力無しの場合には、低速モードの発振クロックを用いて動作させておき、キー入力があった場合に、計算処理を、高速モード用発振器の高速クロックを使用して行う場合がある。

【0180】このような場合、高速クロックを用いるときは、高レベルの電源電圧を使用して CPU101 の高速動作を可能とし、低速クロックを用いるときは、低レベルの電源電圧を使用して消費電力の削減を図る。そして、電源電圧のレベルの切り換えに際しては、上述したように、段階的な切り換えを行って回路の誤動作等を、防止する。

【0181】このように、本発明の各種の電子機器では、低消費電力性と高速処理性を、信頼性を確保しつつ両立できる。

【0182】(6) 第 6 の実施の形態

図 21 に示したマイクロコンピュータ (MC) は、図 2

2 に示すように一つの、シリコンチップ 9810 に CPU101 等を集積した半導体装置として、実現することができる。

【0183】(7) 第 7 の実施の形態

図 23 は、本発明を適用した、個人用携帯型情報機器 1000 の外観を示す図である。

【0184】この情報機器 1000 は、IC カード 1100、同時通訳システム 1200、手書用スクリーン 1300、テレビ会議システム 1400a、1400b、地図情報システム 1500、液晶表示画面 1660 を有する。

【0185】さらに、情報機器 1000 は、入出力インタフェースユニット 1600 において、ビデオカメラ 1610、スピーカ 1620、マイクロホン 1630、入力用ペン 1640、イヤホン 1650 を有する。

【0186】このような個人用携帯型情報機器 1000 には、図 24 に示すような、DSP (デジタルシグナルプロセッサ) 2100 が使用されている。

【0187】この DSP 2100 を構成する回路のうち、レジスタ 2201、2205、2206 や、SRAM 2202 は、電源電圧の切り換えの際に、上述のマイクロコンピュータの場合と同様に、記憶データの反転が発生する危険性がある回路である。

【0188】例えば、図 25 に示すように、SRAM のメモリセル 2212 は、MOS トランジスタ M100、M200 により構成されるフリップフロップを有する。

【0189】仮に、内部電源電位 V203 を切り換えると、MOS トランジスタ M100、M200 のスレショルド電圧の切り替わりに対し、ゲート電位の切り替わりが遅れる可能性があり、この場合には、記憶データの破壊が生じる。したがって、この場合も、内部電源電位 V203 の段階的な切り換えが有効となる。

【0190】図 24 の DSP 2100 は、図 26 の下側に示すように、シリコンチップ 9820 に回路を集積して、半導体装置として実現できる。そして、例えば、図 22 に示した半導体装置化されたマイクロコンピュータとバスにより接続して使用される。図 26 において、内部電源電圧発生回路 9660a、9660b が、順次にレベルの異なる内部電源電位 V203 を発生するようになっている。

【0191】このように、本発明は、電源電圧を切り換える機能を有する半導体装置全般に適用できる。

【0192】一般に、半導体装置での素子応答速度は電源電圧が高いほうが早い。このことから発振回路での発振周波数を変更しないで、半導体装置内の個別半導体素子の応答速度をあげるため、特定の動作モードにおいて、個別半導体素子の応答速度を速くしたい場合のみ電源電圧を高くする場合がある。この場合においても、電源電圧が変化する過程で中間電位を設け、段階的に電位変化をさせることにより異常動作、誤動作を防止するこ

10

20

30

40

50

とができる。

【0193】

【図面の簡単な説明】

【図1】本発明の、第1の実施の形態（マイクロコンピュータの内部電源電圧を段階的に切り換えるもの）を示すブロック図である。

【図2】図1のより具体的な構成例を示すブロック図である。

【図3】図2のより具体的な構成例を示すブロック図である。

【図4】図3のより具体的な構成例を示すブロック図である。

【図5】図4の構成の主要な動作を説明するためのタイミングチャートである。

【図6】図1～図5に示される構成の効果の一例を説明するための図である。

【図7】本発明の、第2の実施の形態（マイクロコンピュータの制御にタイマーを用いるもの）を示すブロック図である。

【図8】図7の実施形態の主要部における、具体的な構成例を示す図である。

【図9】図8の構成の動作を説明するためのタイミングチャートである。

【図10】本発明の、第3の実施の形態（マイクロコンピュータの内部電源電圧を任意の値に可変できるようにしたもの）を示すブロック図である。

【図11】図10の実施形態の主要部における、具体的な構成例を示す図である。

【図12】図11の構成の主要部（出力バッファ）の具体的な構成例を示す図である。

【図13】本発明の、第4の実施の形態（マイクロコンピュータの制御を、制御回路が一括して行うもの）を示すブロック図である。

【図14】図13の実施形態の主要部における、具体的な構成例を示す図である。

【図15】図14の構成の動作を説明するためのタイミングチャートである。

【図16】図13の実施形態の発振回路（およびその周辺の回路）の具体例を示す図である。

【図17】図13の実施形態の発振回路（およびその周辺の回路）の、他の具体例を示す図である。

【図18】本発明の第5の実施形態（エアコンのコントローラ）を示す図である。

【図19】本発明の第6の実施形態（電卓）を示す図である。

【図20】本発明の第7の実施形態（携帯電話機）を示す図である。

【図21】図18～図20の各実施形態に使用される制御用電子回路の具体的な構成例を示す図である。

【図22】本発明の第8の実施形態（図21の電子回路

をワンチップ化した半導体装置）を示す図である。

【図23】本発明の第9の実施形態（マルチメディア情報端末）を示す図である。

【図24】図23の実施形態に内蔵される、DSP（デジタルシグナルプロセッサ）の構成例を示す図である。

【図25】図24中の、SRAMにおけるのメモリセルの回路構成を示す図である。

【図26】本発明の第10の実施形態（図23の実施形態に使用される電子回路を集積した半導体チップを複数用いて構成される半導体装置）を示す図である。

【図27】マイクロコンピュータのCPUの構成の一例を示す図である。

【図28】外部から与えられる電源電圧より低い電圧で動作する回路の一部を示す図である。

【図29】本発明前に本発明者によって検討された技術内容を説明するための図である。

【図30】本発明前に本発明者によって検討された技術内容を説明するための図である。

【図31】本発明前に本発明者によって検討された技術内容を説明するための図である。

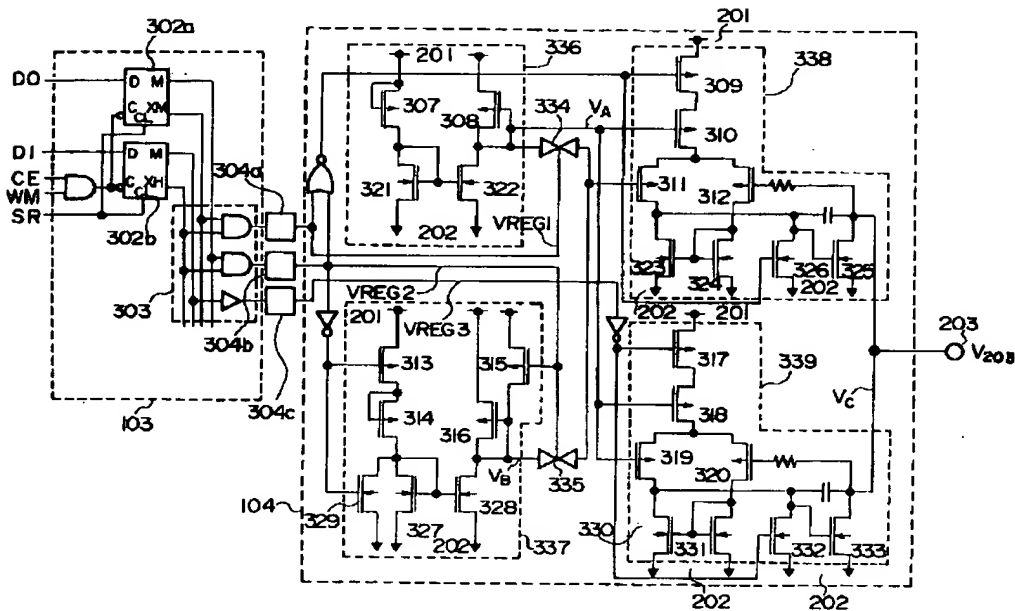
【符号の説明】

- 101 中央演算処理装置（CPU）
- 102 定電圧回路
- 103 定電圧制御回路
- 104 定電圧発生回路
- 105 定電圧制御タイマー
- 106 発振回路
- 107 低速モード用発振回路
- 108 高速モード用発振回路
- 109 CPUクロック制御回路
- 110 分周回路
- 111 タイマー
- 112 定電圧系回路
- 201 正極電源（VDD）端子
- 202 負極電源（VSS）端子
- 203 内部電源（VREG）
- 204 内部電源（VREG）調整用端子
- 301 定電圧レベル制御レジスタ
- 302 定電圧レベル制御レジスタ
- 303 選択回路A
- 304 レベルシフタ
- 305 レベルシフタ
- 306 レベルシフタ
- 325 Nチャンネル出力ドライバ
- 333 Nチャンネル出力ドライバ
- 334 トランスミッションゲート
- 335 トランスミッションゲート
- 336 基準電圧発生回路
- 337 基準電圧発生回路
- 338 差動増幅回路

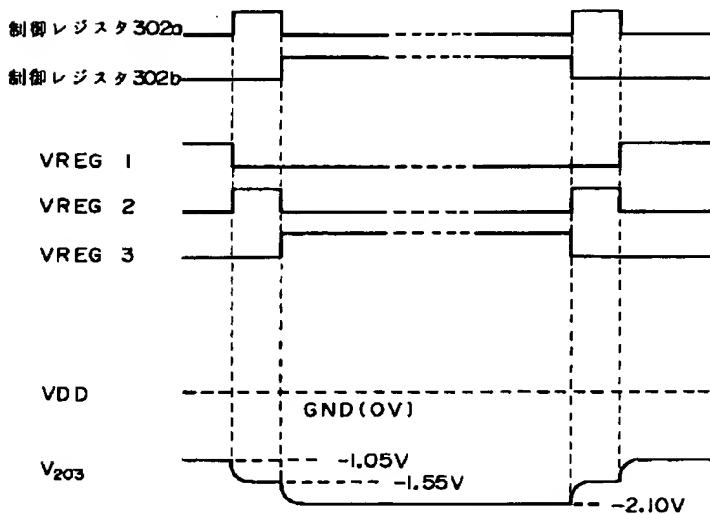
- 339 差動増幅回路  
 401 定電圧レベル制御レジスタ  
 402 選択回路  
 501 差動増幅回路  
 502 Nチャンネル出力ドライバ  
 504 負帰還回路  
 601 セラミック振動子  
 602 高速モード用発振回路のオン／オフ制御用N型

- MOSトランジスタ  
 603 高速モード用発振回路のオン／オフ制御用P型  
 MOSトランジスタ  
 604 低速モード用原振クロック  
 605 高速モード用原振クロック  
 701 RC発振用抵抗  
 702 RC発振用コンデンサ

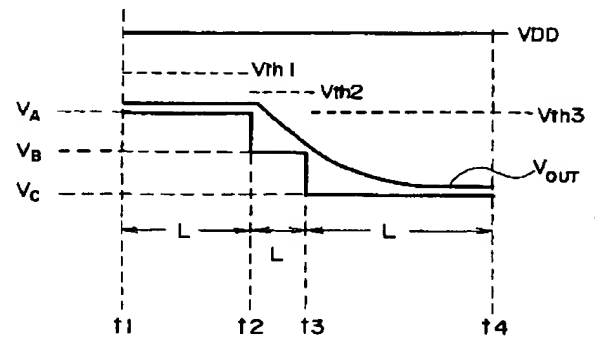
【図4】



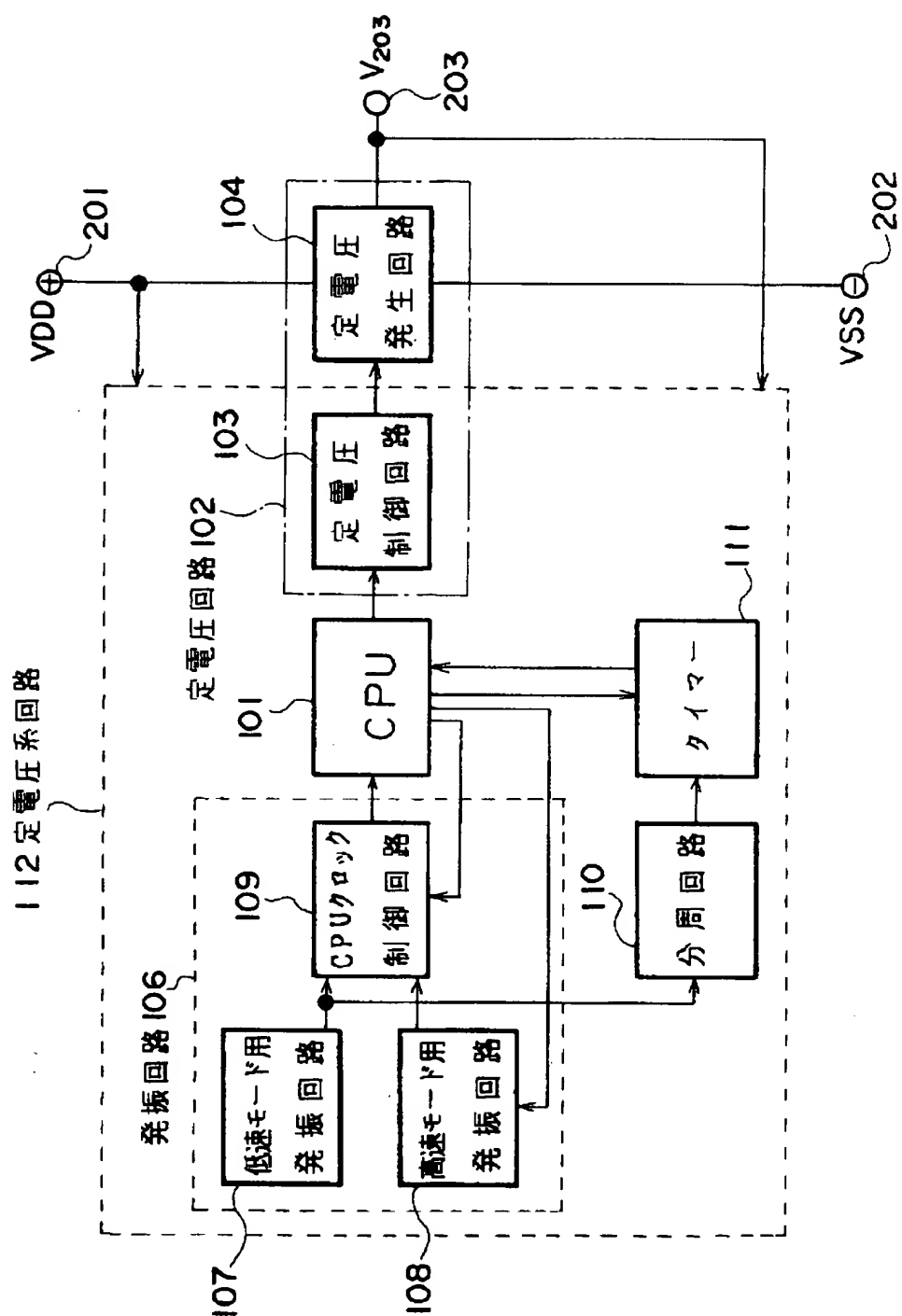
【図5】



【図6】

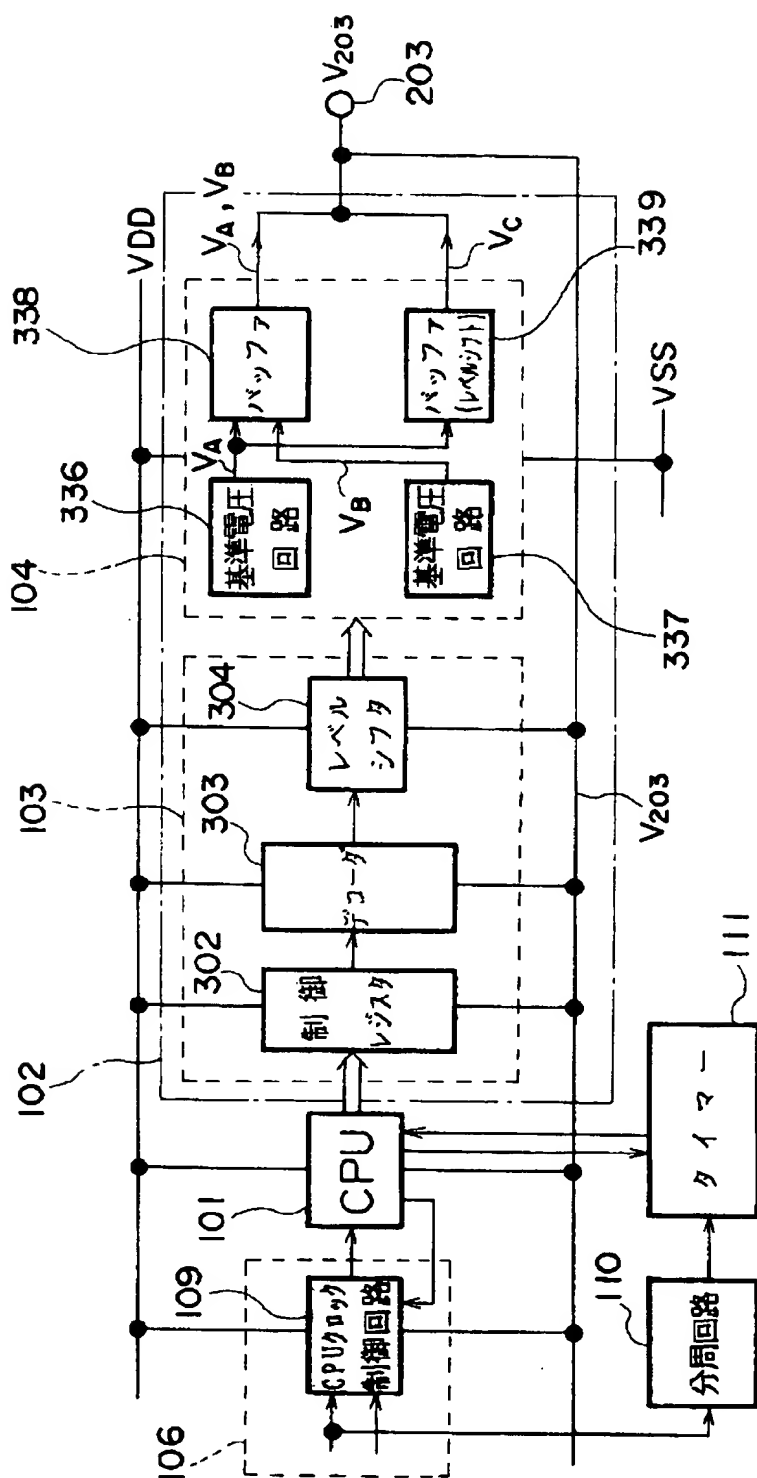


【図 1】

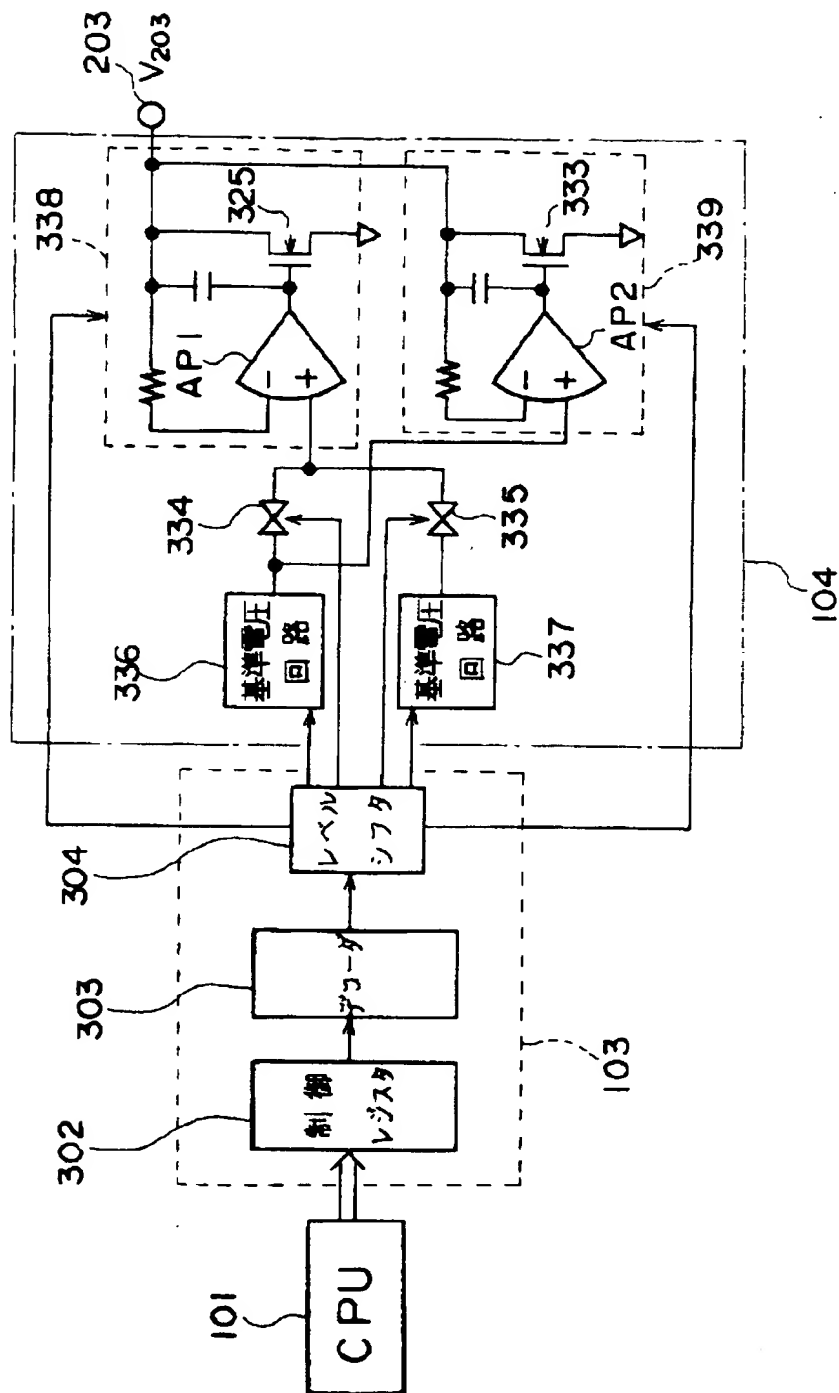




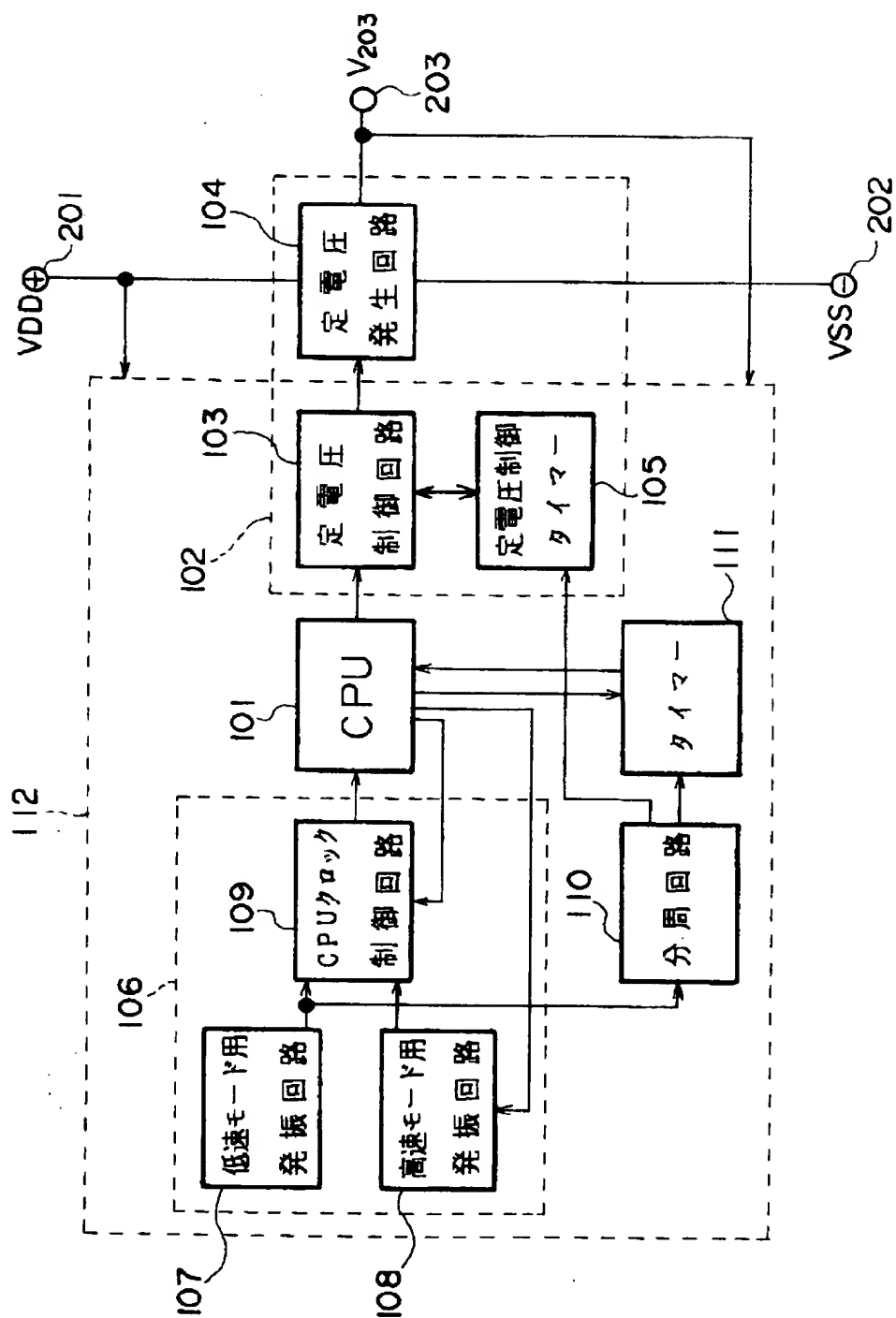
203



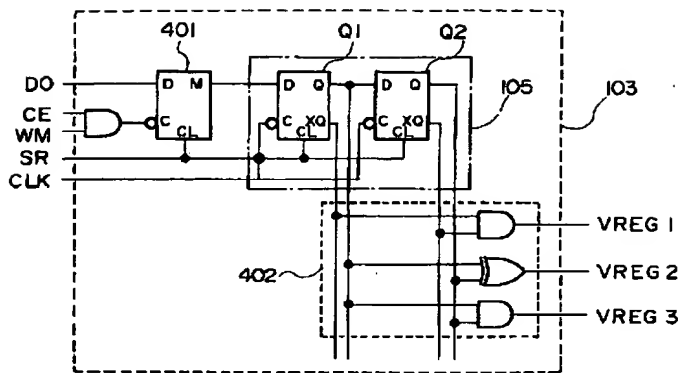
【図 3】



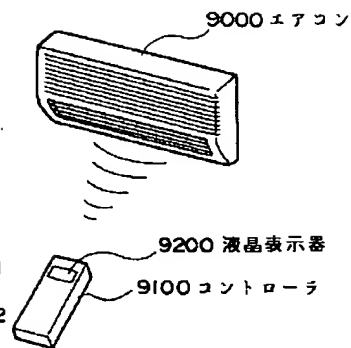
【圖 7】



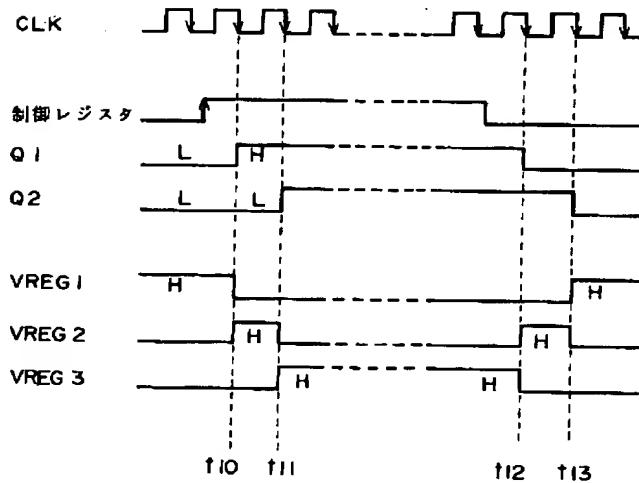
【図 8】



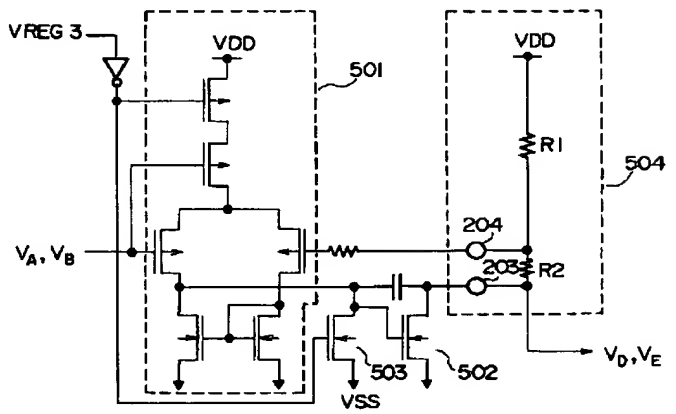
【図 18】



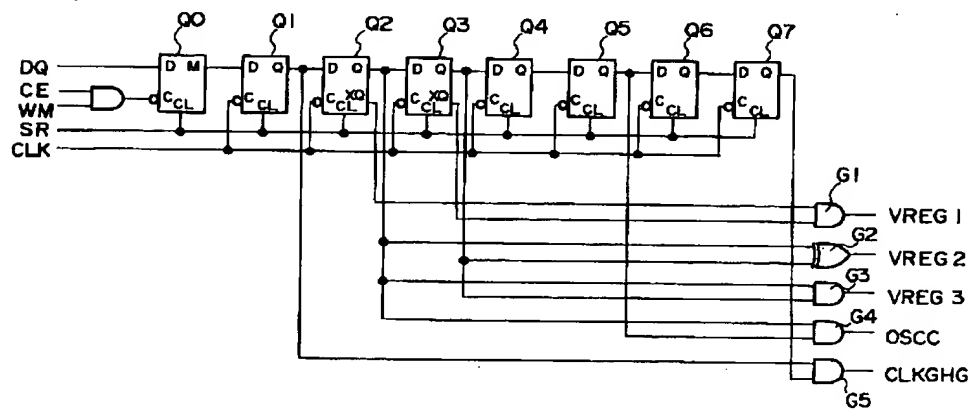
【図 9】



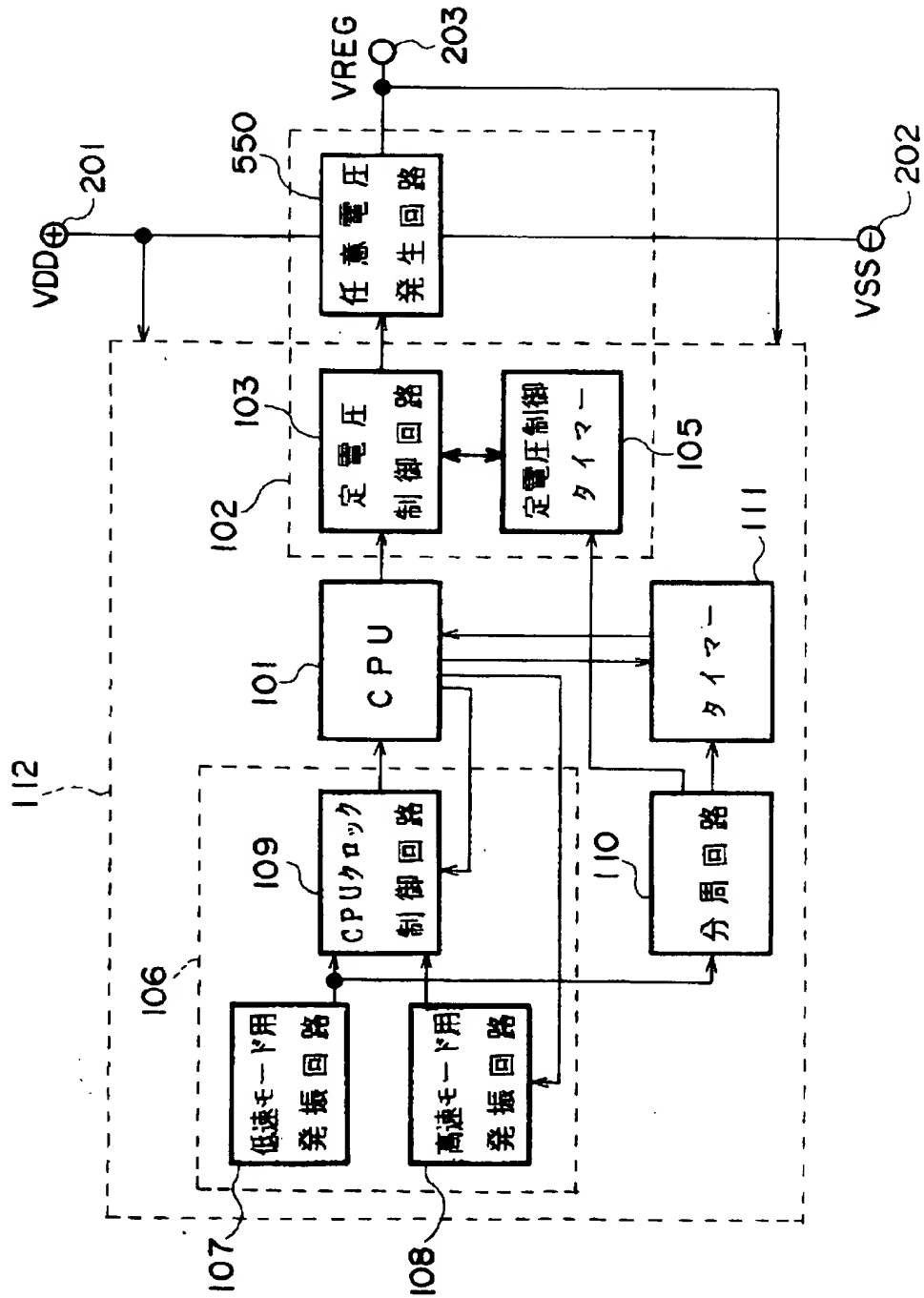
【図 12】



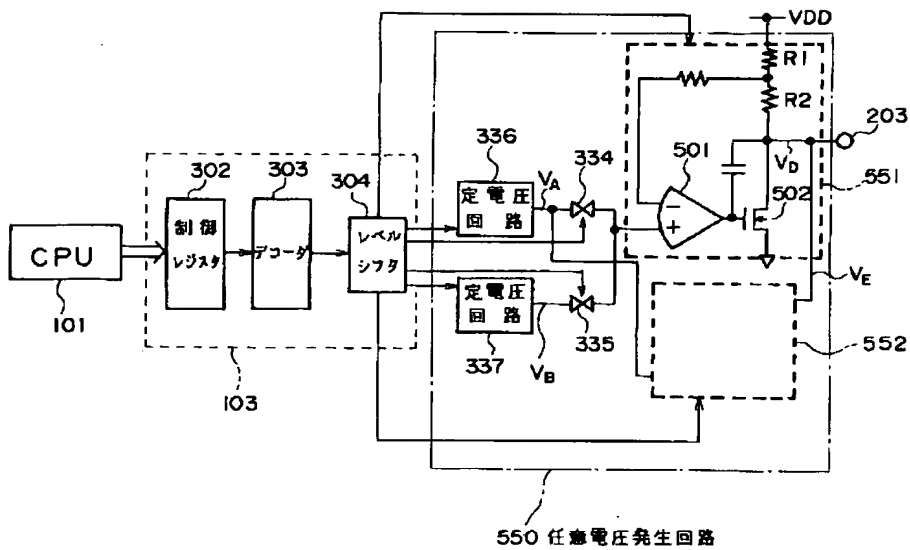
【図 14】



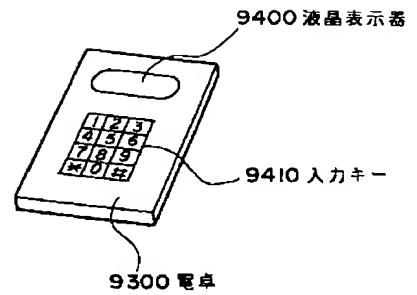
【図 10】



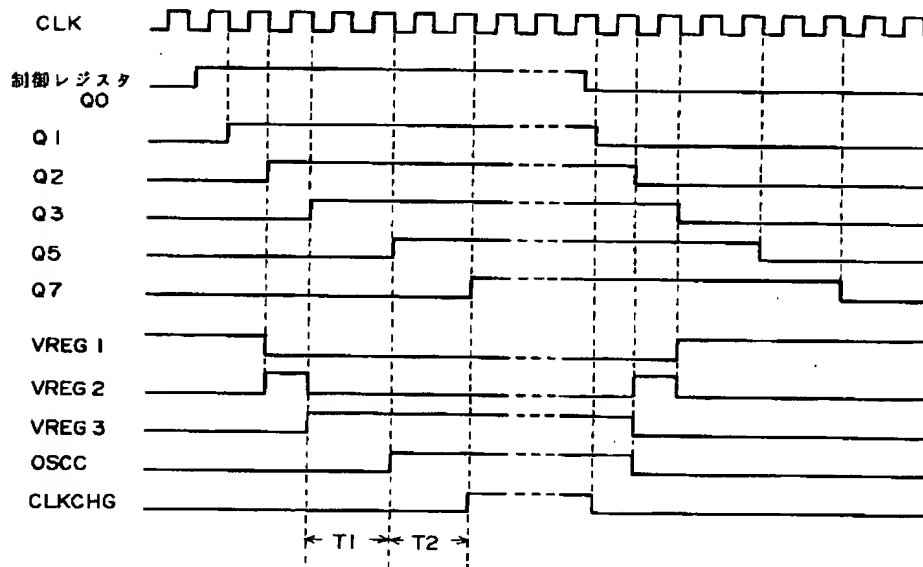
【図 11】



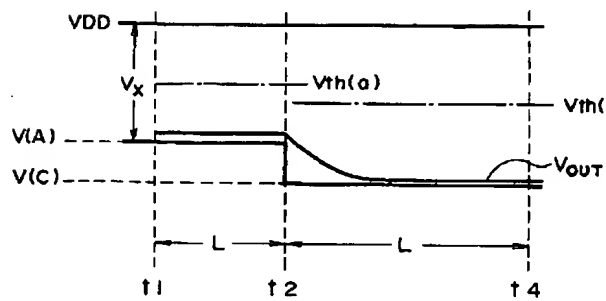
【図 19】



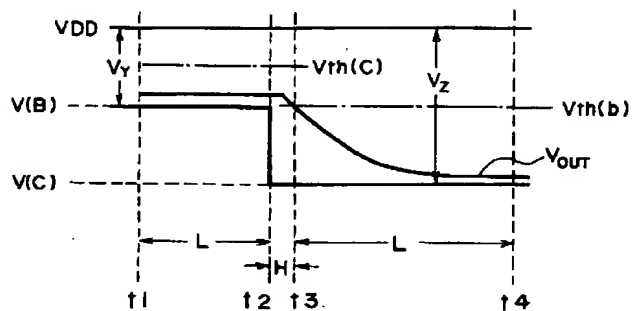
【図 15】



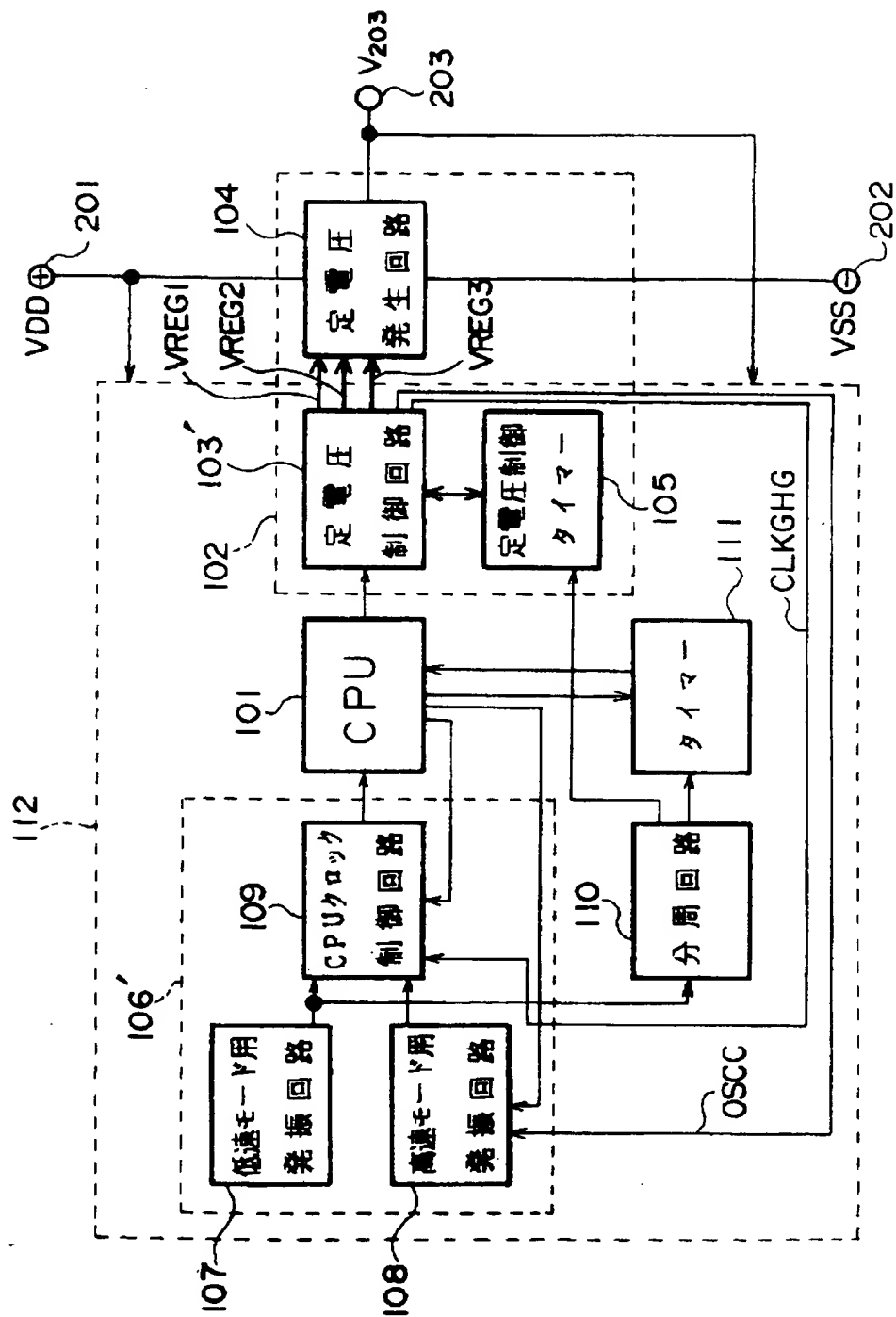
【図 29】



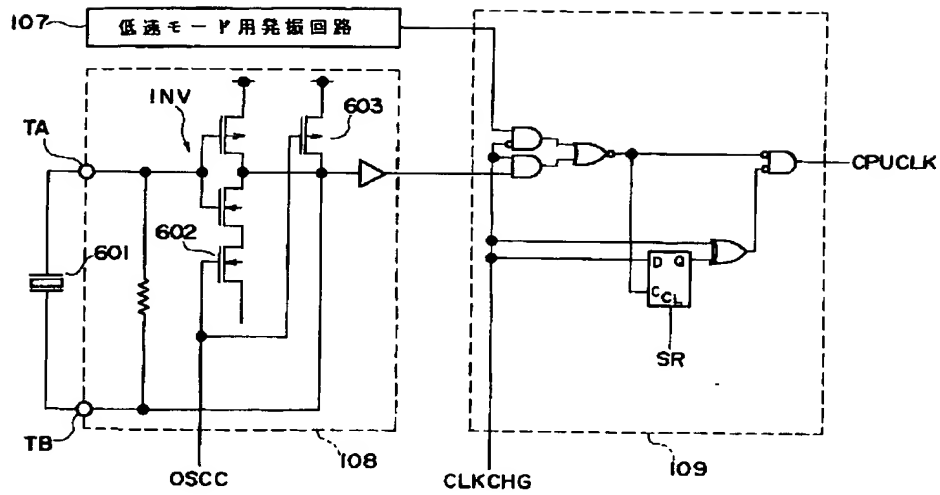
【図 30】



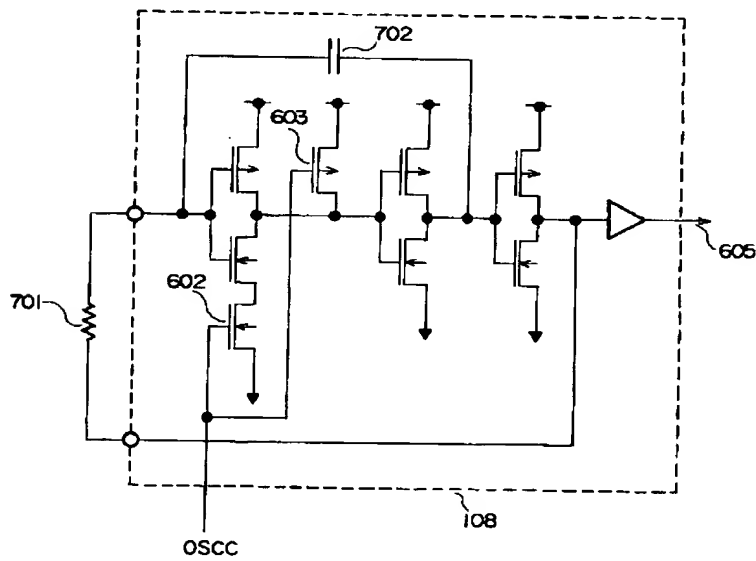
【図 13】



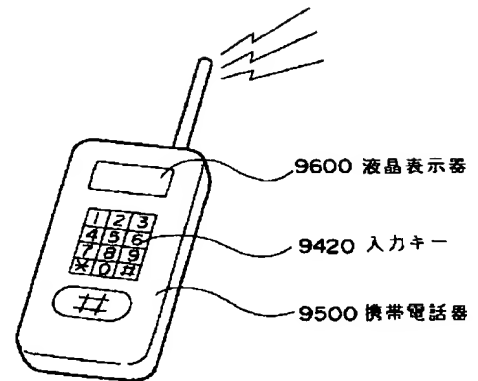
【図 16】



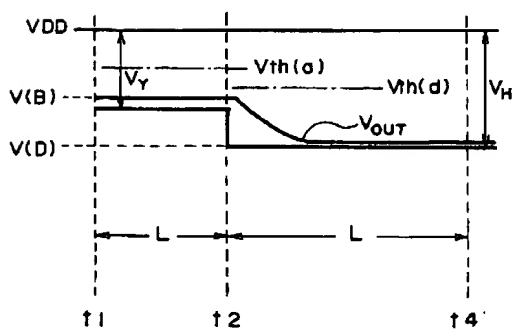
【図 17】



【図 20】

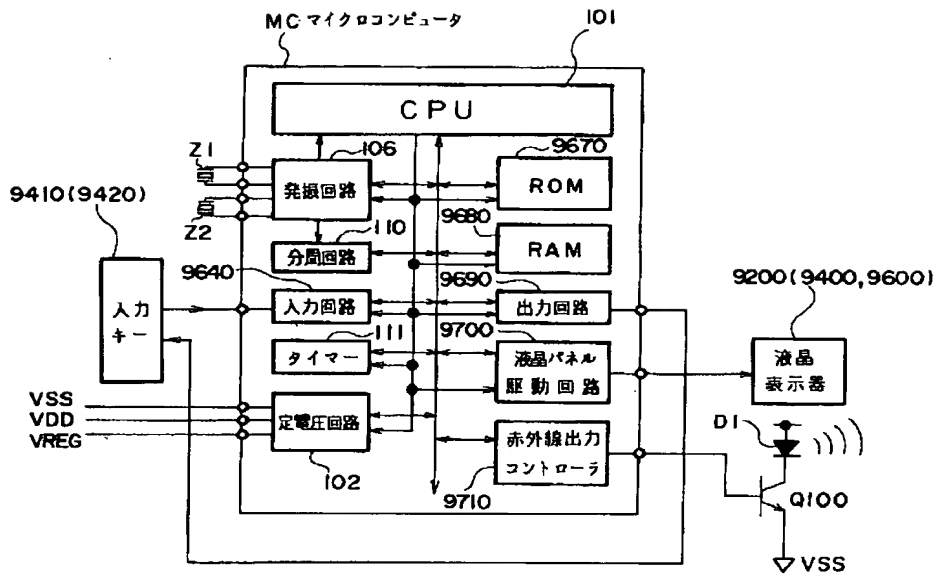


【図 31】

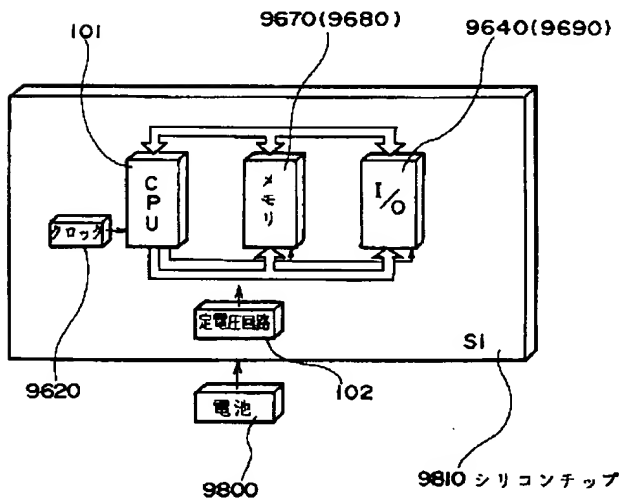




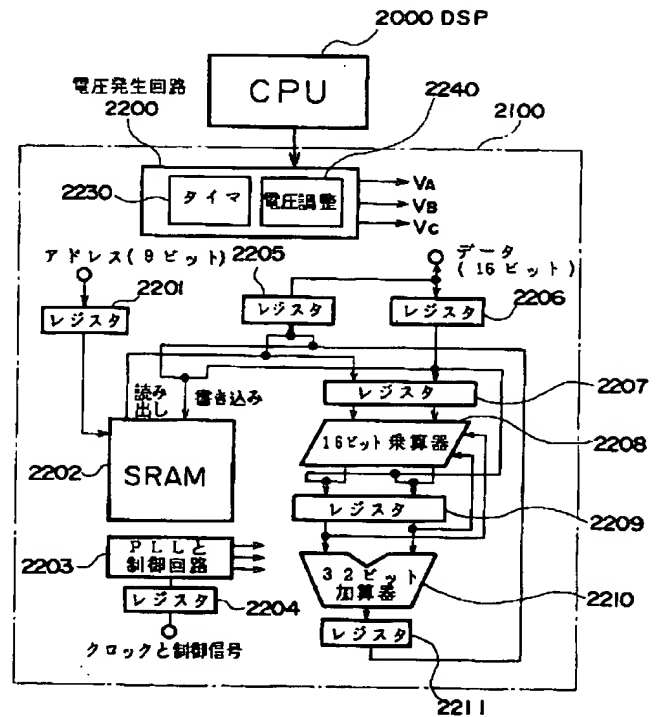
【図 21】



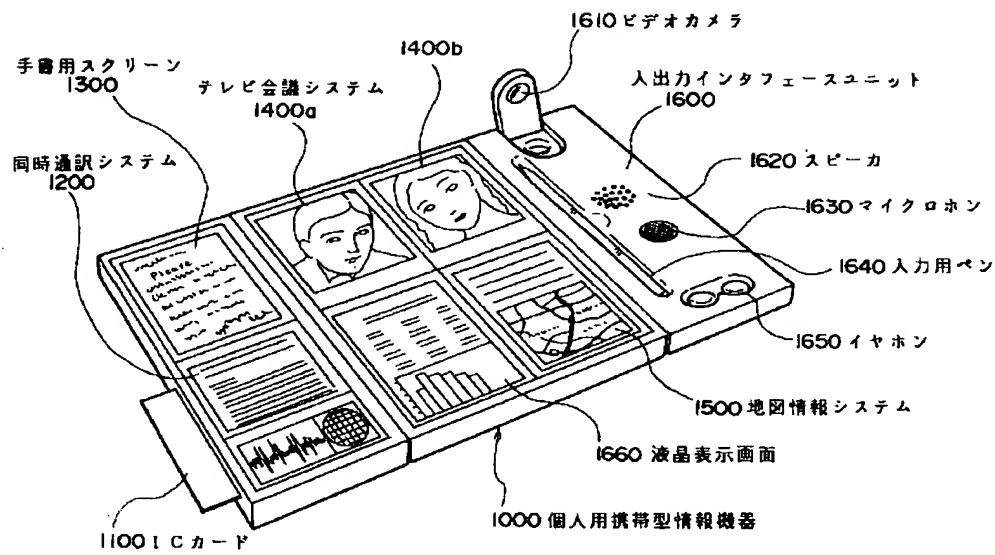
【図 22】



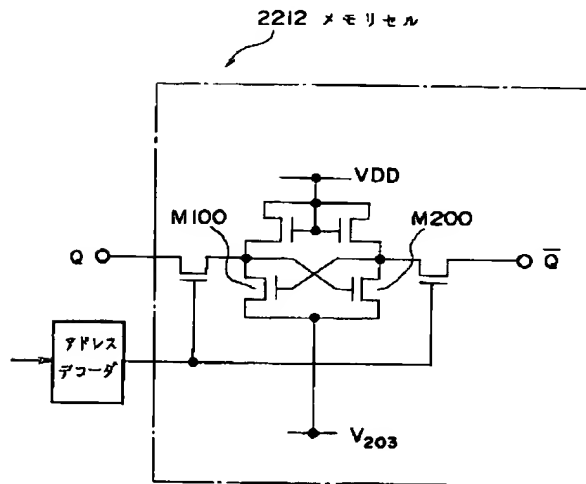
【図 24】



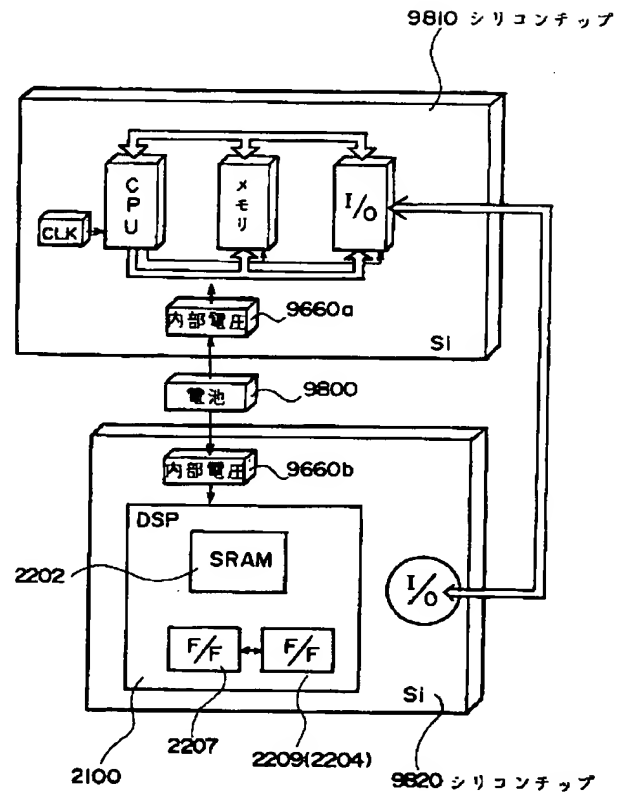
【図 23】



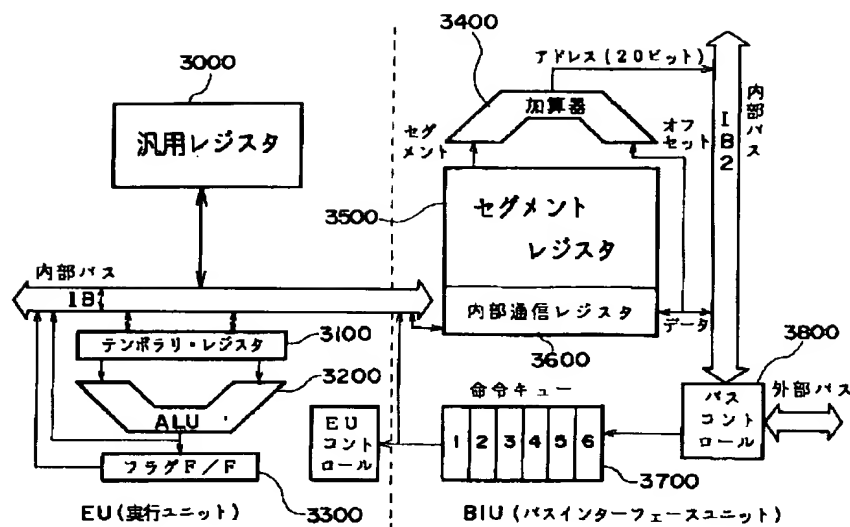
【図 25】



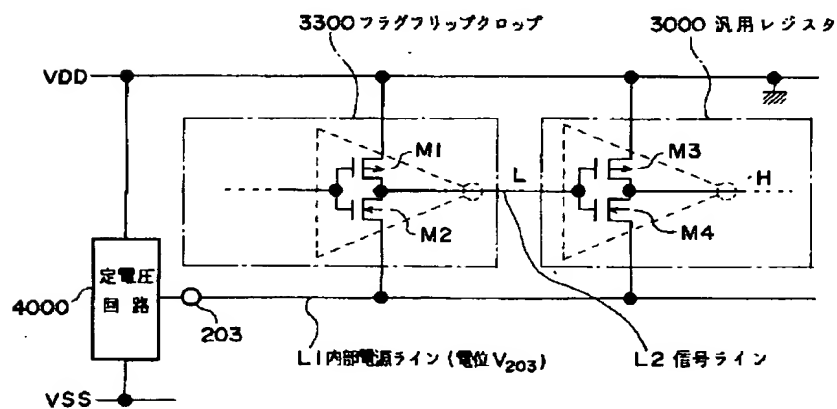
【図 26】



【図27】



【図28】



フロントページの続き

(51) Int. Cl. 6

G 0 6 F 15/78

識別記号

5 1 0 P

庁内整理番号

F I

技術表示箇所